



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003151262 A**(43) Date of publication of application: **23.05.03**

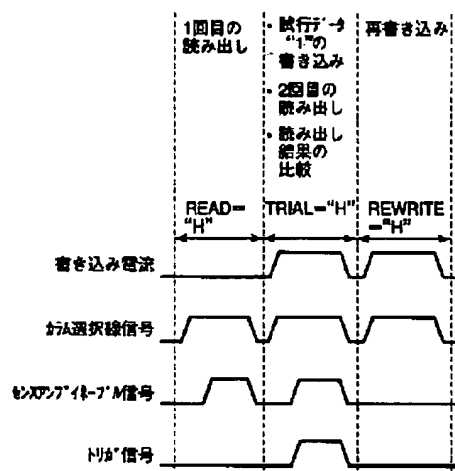
(51) Int. Cl.

G11C 11/15**G11C 11/14****H01L 27/105****H01L 43/08**(21) Application number: **2001350013**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **15.11.01**(72) Inventor: **IWATA YOSHIHISA****(54) MAGNETIC RANDOM ACCESS MEMORY****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a read-out principle and a read-out circuit with respect to an MRAM.

SOLUTION: In read-out of the first time, a read-out current is made to flow through a plurality of TMR elements connected in parallel in one column or one block, and initial data is detected. After that, write-in of trial data is performed for a selected memory cell. At the same time of write-in of trial data, read-out of the second time is performed. In read-out of the second time, a read-out current is made to flow in a plurality of TMR elements connected in parallel in one column or one block, and comparison data is read out. Successively, the initial data is compared with the comparison data, and a data value of the selected memory cell is judged. Lastly, rewriting is performed for the selected memory cell.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-151262

(P2003-151262A)

(43) 公開日 平成15年5月23日 (2003.5.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 1 1 C 11/15		G 1 1 C 11/15	5 F 0 8 3
	11/14		E
H 0 1 L 27/105		H 0 1 L 43/08	Z
	43/08	27/10	4 4 7

審査請求 未請求 請求項の数65 O L (全 62 頁)

(21) 出願番号 特願2001-350013(P2001-350013)

(22) 出願日 平成13年11月15日 (2001.11.15)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 岩田 佳久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

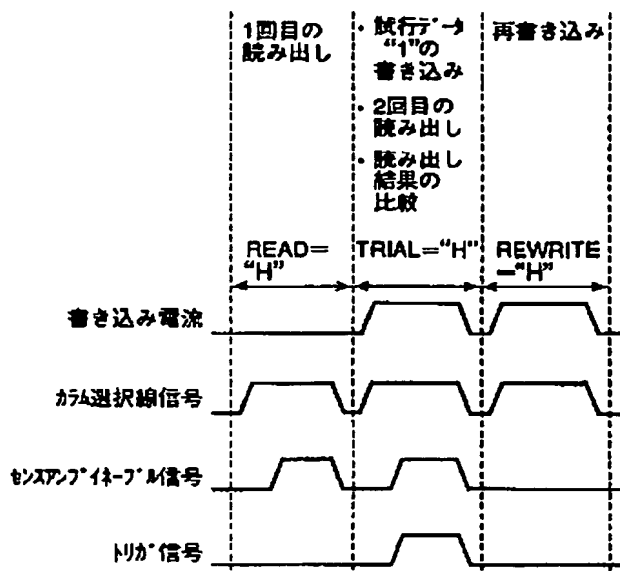
Fターム(参考) 5F083 FZ10 GA11 LA03 LA04 LA05
MA08 MA19

(54) 【発明の名称】 磁気ランダムアクセスメモリ

(57) 【要約】

【課題】 MRAMに関して読み出し原理と読み出し回路を提案する。

【解決手段】 1回目の読み出しでは、1カラム内又は1ブロック内の並列接続された複数のTMR素子に読み出し電流を流し、イニシャルデータを検出する。この後、選択されたメモリセルに対して、試行データの書き込みが実行される。試行データの書き込みと同時に又はこれに平行して、2回目の読み出しが行われる。2回目の読み出しでは、1カラム内又は1ブロック内の並列接続された複数のTMR素子に読み出し電流を流し、比較データを読み出す。続けて、イニシャルデータと比較データを比較し、選択されたメモリセルのデータ値を判断する。最後に、選択されたメモリセルに対して、再書き込みを行う。



【特許請求の範囲】

【請求項 1】 磁気抵抗効果を利用してデータを記憶するメモリセルを有する磁気ランダムアクセスメモリの読み出し方法において、前記メモリセルに第 1 読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むステップと、前記書き込みデータが書き込まれた前記メモリセルに第 2 読み出し電流を流すステップと、前記第 1 及び第 2 読み出し電流の差を検出して、前記メモリセルのデータを判断するステップとを具備することを特徴とする磁気ランダムアクセスメモリの読み出し方法。

【請求項 2】 磁気抵抗効果を利用してデータを記憶するメモリセルを有する磁気ランダムアクセスメモリの読み出し方法において、前記メモリセルに第 1 読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むと同時に又はこれに平行して、前記メモリセルに第 2 読み出し電流を流し、前記第 1 及び第 2 読み出し電流の差又は時間に対する変化量を検出して、前記メモリセルのデータを判断するステップとを具備することを特徴とする磁気ランダムアクセスメモリの読み出し方法。

【請求項 3】 前記メモリセルのデータは、前記メモリセルに前記書き込みデータを書き込む前の前記メモリセルの抵抗値とその後の前記メモリセルの抵抗値との差に基づいて判断されることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 4】 前記第 1 及び第 2 読み出し電流の差が実質的にない場合には、前記メモリセルのデータの値は、前記書き込みデータの値と同じであると判断されることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 5】 前記第 1 及び第 2 読み出し電流の差が実質的にある場合には、前記メモリセルのデータの値は、前記書き込みデータの値と異なると判断されることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 6】 前記メモリセルのデータの値が前記書き込みデータの値と異なると判断された場合に、さらに、前記書き込みデータの値と異なる値を有するデータを前記メモリセルに再書き込みするステップを具備することを特徴とする請求項 5 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 7】 前記第 2 読み出し電流を得ると同時に、前記第 1 及び第 2 読み出し電流が比較されることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 8】 前記第 1 及び第 2 読み出し電流の差の検出は、前記第 1 読み出し電流に比例した第 3 読み出し電流と前記第 2 読み出し電流に比例した第 4 読み出し電流との差の検出により実行されることを特徴とする請求項

1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 9】 前記第 1 読み出し電流は、前記記憶回路にアナログデータとして記憶されることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 10】 前記記憶回路は、差動アンプを用いたフィードバック回路を有し、前記第 1 読み出し電流は、前記フィードバック回路に記憶されることを特徴とする請求項 9 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 11】 前記記憶回路は、カレントミラー回路を用いたフィードバック回路を有し、前記第 1 読み出し電流は、前記フィードバック回路に記憶されることを特徴とする請求項 9 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 12】 前記記憶回路は、キャパシタを有し、前記第 1 読み出し電流は、前記キャパシタに電圧値として記憶されることを特徴とする請求項 9 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 13】 前記第 1 読み出し電流は、前記記憶回路にデジタルデータとして記憶されることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 14】 前記記憶回路は、カウンタを有し、前記第 1 読み出し電流は、前記カウンタのカウント値として記憶されることを特徴とする請求項 13 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 15】 前記第 1 及び第 2 読み出し電流の時間に対する変化量は、インダクタンス素子により検出されることを特徴とする請求項 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 16】 前記メモリセルは、互いに並列接続された複数のメモリセルのうちの 1 つであることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 17】 前記第 1 及び第 2 読み出し電流は、前記複数のメモリセルに流れることを特徴とする請求項 16 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 18】 前記複数のメモリセルは、メモリセルアレイの 1 つのカラムを構成していることを特徴とする請求項 17 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 19】 前記複数のメモリセルは、メモリセルアレイの 1 つのカラム内の 1 つのブロックを構成していることを特徴とする請求項 17 記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項 20】 前記書き込みデータを前記メモリセルに書き込むときに使用する書き込み電流を流すと同時又は前記書き込み電流を流している最中に、前記第 2 読み

3

出し電流を流すことを特徴とする請求項2記載の磁気ランダムアクセスメモリの読み出し方法。

【請求項21】 互いに並列接続される磁気抵抗効果を利用してデータを記憶する複数のメモリセルと、前記複数のメモリセルの一端に接続され、第1方向に延びるビット線と、前記ビット線に書き込み電流を供給し又は前記ビット線から前記書き込み電流を吸収する第1及び第2書き込みビット線ドライバ/シンカーと、前記ビット線の一端と前記第1書き込みビット線ドライバ/シンカーとの間に接続される第1スイッチと、前記ビット線の他端と前記第2書き込みビット線ドライバ/シンカーとの間に接続される第2スイッチと、前記ビット線に読み出し電流を供給する読み出し回路と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項22】 前記複数のメモリセルの他端は、直接、接地端子に接続されていることを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項23】 前記複数のメモリセルの他端と接地端子との間に接続される第3スイッチと、前記第3スイッチの制御端子に接続され、前記第2方向に延びる読み出しワード線とを具備することを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項24】 前記複数のメモリセルは、1つのブロックを構成し、かつ、メモリセルアレイの1カラムは、複数のブロックから構成されることを特徴とする請求項23記載の磁気ランダムアクセスメモリ。

【請求項25】 前記第1及び第2スイッチは、書き込み動作時及び読み出し動作時にオン状態になることを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項26】 前記第3スイッチは、読み出し動作時にオン状態になることを特徴とする請求項23記載の磁気ランダムアクセスメモリ。

【請求項27】 互いに並列接続される磁気抵抗効果を利用してデータを記憶する複数のメモリセルと、前記複数のメモリセルの近傍に配置され、第1方向に延びる書き込みビット線と、前記書き込みビット線に書き込み電流を供給し又は前記書き込みビット線から前記書き込み電流を吸収する第1及び第2書き込みビット線ドライバ/シンカーと、前記書き込みビット線の一端と前記第1書き込みビット線ドライバ/シンカーとの間に接続される第1スイッチと、前記書き込みビット線の他端と前記第2書き込みビット線ドライバ/シンカーとの間に接続される第2スイッチと、前記複数のメモリセルの一端に接続され、前記第1方向に延びる読み出しビット線と、前記読み出しビット線に読み出し電流を供給する読み出し回路と、前記読み出しビット線と前記読み出し回路の間に接続される第3スイッチと、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを具備す

(3)

特開2003-151262

4

ることを特徴とする磁気ランダムアクセスメモリ。

【請求項28】 前記複数のメモリセルは、半導体基板上に積み重ねられていることを特徴とする請求項27記載の磁気ランダムアクセスメモリ。

【請求項29】 前記複数のメモリセルは、前記第1方向に配置されていることを特徴とする請求項27記載の磁気ランダムアクセスメモリ。

【請求項30】 前記複数のメモリセルの他端は、直接、接地端子に接続されていることを特徴とする請求項27記載の磁気ランダムアクセスメモリ。

【請求項31】 前記複数のメモリセルの他端と接地端子との間に接続される第4スイッチと、前記第4スイッチの制御端子に接続され、前記第2方向に延びる読み出しワード線とを具備することを特徴とする請求項27記載の磁気ランダムアクセスメモリ。

【請求項32】 前記複数のメモリセルは、1つのブロックを構成し、かつ、メモリセルアレイの1カラムは、複数のブロックから構成されることを特徴とする請求項31記載の磁気ランダムアクセスメモリ。

【請求項33】 前記第1及び第2スイッチは、書き込み動作時にオン状態になることを特徴とする請求項27記載の磁気ランダムアクセスメモリ。

【請求項34】 前記第3スイッチは、読み出し動作時にオン状態になることを特徴とする請求項27記載の磁気ランダムアクセスメモリ。

【請求項35】 前記第3及び第4スイッチは、読み出し動作時にオン状態になることを特徴とする請求項31記載の磁気ランダムアクセスメモリ。

【請求項36】 第1方向に延びる複数のビット線と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線と、前記第2方向に延びる共通ドライバ線と、前記複数のビット線の一端と前記共通ドライバ線との間に接続される複数の第1スイッチと、前記共通ドライバ線に接続され、前記複数のビット線の1つに書き込み電流を供給し又は前記複数のビット線の1つから前記書き込み電流を吸収する第1書き込みビット線ドライバ/シンカーと、前記第2方向に延びる共通データ線と、前記複数のビット線の他端と前記共通データ線との間に接続される複数の第2スイッチと、前記共通データ線に接続され、前記複数のビット線の1つに前記書き込み電流を供給し又は前記複数のビット線の1つから前記書き込み電流を吸収する第2書き込みビット線ドライバ/シンカーと、前記共通データ線に接続され、前記複数のビット線の1つに読み出し電流を供給する読み出し回路とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項37】 前記複数のビット線の1つにより1つのカラムが構成されることを特徴とする請求項36記載の磁気ランダムアクセスメモリ。

【請求項38】 第1方向に延びる複数の書き込みビッ

5

ト線と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線と、前記第2方向に延びる第1共通ドライバ線と、前記複数の書き込みビット線の一端と前記第1共通ドライバ線との間に接続される複数の第1スイッチと、前記第1共通ドライバ線に接続され、前記複数の書き込みビット線の1つに書き込み電流を供給し又は前記複数の書き込みビット線の1つから前記書き込み電流を吸収する第1書き込みビット線ドライバ/シンカーと、前記第2方向に延びる第2共通ドライバ線と、前記複数の書き込みビット線他端と前記第2共通ドライバ線との間に接続される複数の第2スイッチと、前記第2共通ドライバ線に接続され、前記複数の書き込みビット線の1つに前記書き込み電流を供給し又は前記複数の書き込みビット線の1つから前記書き込み電流を吸収する第2書き込みビット線ドライバ/シンカーと、前記第1方向に延びる複数の読み出しビット線と、前記第2方向に延びる共通データ線と、前記複数の読み出しビット線と前記共通データ線との間に接続される複数の第3スイッチと、前記共通データ線に接続され、前記複数の読み出しビット線の1つに読み出し電流を供給する読み出し回路とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項39】 前記複数の書き込みビット線の1つにより1つのカラムが構成されることを特徴とする請求項38記載の磁気ランダムアクセスメモリ。

【請求項40】 前記複数の書き込みビット線の2つ又はそれ以上により1つのカラムが構成されることを特徴とする請求項38記載の磁気ランダムアクセスメモリ。

【請求項41】 磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み出し電流又は前記読み出し電流に比例した電流を記憶する記憶回路と、前記読み出し電流又は前記読み出し電流に比例した電流と前記記憶回路に記憶された電流とに基づいて、前記メモリセルのデータを判断するセンスアンプとを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項42】 前記センスアンプは、前記読み出し電流又は前記読み出し電流に比例した電流と前記記憶回路に記憶された電流との差に基づいて、前記メモリセルのデータを判断することを特徴とする請求項41記載の磁気ランダムアクセスメモリ。

【請求項43】 前記センスアンプは、前記読み出し電流又は前記読み出し電流に比例した電流に基づく第1入力電位と前記記憶回路に記憶された電流に基づく第2入力電位とが入力される第1差動アンプと、前記第1入力電位に対応する前記第1差動アンプの第1出力電位と第1基準電位とが入力される第2差動アンプと、前記第2入力電位に対応する前記第1差動アンプの第2出力電位と第2基準電位とが入力される第3差動アンプと、前記第2差動アンプの第3出力電位と前記第3差動アンプの

(4)

特開2003-151262

6

第4出力電位とに基づいて前記メモリセルのデータを判断するロジック回路とを具備することを特徴とする請求項41記載の磁気ランダムアクセスメモリ。

【請求項44】 前記第1差動アンプの2つの出力端子の間には、抵抗素子が接続されることを特徴とする請求項43記載の磁気ランダムアクセスメモリ。

【請求項45】 前記第1差動アンプの2つの出力端子の間には、デプレッションタイプMOSトランジスタが接続されることを特徴とする請求項43記載の磁気ランダムアクセスメモリ。

【請求項46】 前記記憶回路は、前記読み出し電流をアナログデータとして記憶することを特徴とする請求項41記載の磁気ランダムアクセスメモリ。

【請求項47】 前記記憶回路は、差動アンプを用いたフィードバック回路を有し、前記読み出し電流は、前記フィードバック回路に記憶されることを特徴とする請求項46記載の磁気ランダムアクセスメモリ。

【請求項48】 前記記憶回路は、カレントミラー回路を用いたフィードバック回路を有し、前記読み出し電流は、前記フィードバック回路に記憶されることを特徴とする請求項46記載の磁気ランダムアクセスメモリ。

【請求項49】 前記記憶回路は、キャパシタを有し、前記読み出し電流は、前記キャパシタに電圧値として記憶されることを特徴とする請求項46記載の磁気ランダムアクセスメモリ。

【請求項50】 記憶回路は、前記読み出し電流をデジタルデータとして記憶することを特徴とする請求項41記載の磁気ランダムアクセスメモリ。

【請求項51】 前記記憶回路は、カウンタを有し、前記読み出し電流は、前記カウンタのカウント値として記憶されることを特徴とする請求項50記載の磁気ランダムアクセスメモリ。

【請求項52】 磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み出し電流又は前記読み出し電流に比例した電流の時間に対する変化量を検出するインダクタンス素子と、前記インダクタンス素子の両端の電位に基づいて、前記メモリセルのデータを判断するセンスアンプとを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項53】 前記インダクタンス素子は、半導体基板上の金属薄膜から構成されることを特徴とする請求項52記載の磁気ランダムアクセスメモリ。

【請求項54】 前記センスアンプは、前記インダクタンス素子の両端の電位の差に基づいて、前記メモリセルのデータを判断することを特徴とする請求項52記載の磁気ランダムアクセスメモリ。

【請求項55】 前記センスアンプは、前記インダクタンス素子の一端の第1入力電位とその他端の第2入力電位が入力される第1差動アンプと、前記第1入力電位に

対応する前記第1差動アンプの第1出力電位と第1基準電位とが入力される第2差動アンプと、前記第2入力電位に対応する前記第1差動アンプの第2出力電位と第2基準電位とが入力される第3差動アンプと、前記第2差動アンプの第3出力電位と前記第3差動アンプの第4出力電位とに基づいて前記メモリセルのデータを判断するロジック回路とを具備することを特徴とする請求項52記載の磁気ランダムアクセスメモリ。

【請求項56】 前記第1差動アンプの2つの出力端子の間には、抵抗素子が接続されることを特徴とする請求項55記載の磁気ランダムアクセスメモリ。

【請求項57】 前記第1差動アンプの2つの出力端子の間には、デプレッションタイプMOSトランジスタが接続されることを特徴とする請求項55記載の磁気ランダムアクセスメモリ。

【請求項58】 前記メモリセルと前記電流源との間のノードの電位を設定するクランプ回路を具備することを特徴とする請求項41又は52記載の磁気ランダムアクセスメモリ。

【請求項59】 前記読み出し電流又は前記読み出し電流に比例した電流を前記記憶回路に導くカレントミラー回路を具備することを特徴とする請求項41又は52記載の磁気ランダムアクセスメモリ。

【請求項60】 前記メモリセルに付加電流を供給する付加電流生成部を具備し、前記読み出し電流に前記付加電流を加えた電流を前記メモリセルに流すことを特徴とする請求項41又は52記載の磁気ランダムアクセスメモリ。

【請求項61】 前記付加電流生成部は、前記メモリセルと同じ構造の素子を有することを特徴とする請求項60記載の磁気ランダムアクセスメモリ。

【請求項62】 前記メモリセルは、互いに並列接続された複数のメモリセルのうちの1つであることを特徴とする請求項41又は52記載の磁気ランダムアクセスメモリ。

【請求項63】 前記読み出し電流は、前記複数のメモリセルに流れることを特徴とする請求項62記載の磁気ランダムアクセスメモリ。

【請求項64】 前記複数のメモリセルは、メモリセルアレイの1つのカラムを構成していることを特徴とする請求項63記載の磁気ランダムアクセスメモリ。

【請求項65】 前記複数のメモリセルは、メモリセルアレイの1つのカラム内の1つのブロックを構成していることを特徴とする請求項63記載の磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気抵抗(Magnetic Resistive)効果を利用して“1”、“0”-データを記憶する磁気ランダムアクセスメモリ(MRAM: Ma

gnetic Random Access Memory)に関する。

【0002】

【従来の技術】近年、新たな原理によりデータを記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル磁気抵抗(Tunneling Magneto Resistive: 以後、TMRと表記する。)効果を利用して“1”、“0”-データを記憶する磁気ランダムアクセスメモリがある。

【0003】磁気ランダムアクセスメモリの提案としては、例えば、Roy Scheuerlein et.alによる、ISSCC2000 Technical Digest p.128「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」が知られている。

【0004】磁気ランダムアクセスメモリは、TMR素子により、“1”、“0”-データを記憶する。TMR素子の基本構造は、2つの磁性層(強磁性層)により絶縁層(トンネルバリア)を挟み込んだ構造である。但し、TMR素子の構造については、MR(Magneto Resistive)比の最適化などのため、種々の構造が提案されている(MR比及びTMR素子の構造については、例えば、特願2000-296082号、特願2001-37140号を参照)。

【0005】TMR素子に記憶されるデータは、2つの磁性層の磁化状態が平行か、又は反平行かによって判断される。ここで、平行とは、2つの磁性層の磁化の向きが同じであることを意味し、反平行とは、2つの磁性層の磁化の向きが逆向きであることを意味する。

【0006】通常、2つの磁性層のうちの1つ(固定層)には、反強磁性層が付設される。反強磁性層は、固定層の磁化の向きを固定するための部材である。従って、実際には、2つの磁性層のうちの他の1つ(自由層)の磁化の向きによって、TMR素子に記憶されるデータ(“1”又は“0”)が決定される。

【0007】TMR素子の磁化状態が平行となった場合、そのTMR素子を構成する2つの磁性層の間に挟まれた絶縁層(トンネルバリア)のトンネル抵抗は、最も低くなる。例えば、この状態を“1”-状態とする。また、TMR素子の磁化状態が反平行となった場合、そのTMR素子を構成する2つの磁性層の間に挟まれた絶縁層(トンネルバリア)のトンネル抵抗は、最も高くなる。例えば、この状態を“0”-状態とする。

【0008】次に、TMR素子に対する書き込み/読み出し動作原理について簡単に説明する。

【0009】TMR素子は、互いに交差する書き込みワード線とデータ選択線(ビット線)との交点に配置される。そして、書き込みは、書き込みワード線及びデータ選択線に電流を流し、両配線に流れる電流により作られる磁界を用いて、TMR素子の自由層の磁化の向きを決定することにより達成される。

【0010】例えば、書き込み時、書き込みワード線には、一方向に向かう電流のみを流し、書き込みビット線には、書き込みデータに応じて、一方側又は他方側に向かう電流を流す。書き込みビット線に一方側に向かう電流を流すとき、書き込みワード線と書き込みビット線の交点に配置されたTMR素子の磁化状態は、平行

(“1”-状態)となる。一方、書き込みビット線に他方側に向かう電流を流すとき、書き込みワード線と書き込みビット線の交点に配置されたTMR素子の磁化状態は、反平行(“0”-状態)となる。

【0011】読み出しは、例えば、選択されたTMR素子に読み出し電流を流し、その選択されたTMR素子の抵抗値を検出することにより行う。

【0012】読み出し動作原理は、磁気ランダムアクセスメモリのアレイ構造によって大きく変化する。1つのTMR素子に1つのスイッチング素子を直列接続したアレイ構造の場合(例えば、特願2001-37140号)には、選択されたリードワード線に接続されるスイッチング素子をオン状態にして、選択されたTMR素子に読み出し電流を流す。この読み出し電流をセンスアンプに導き、選択されたTMR素子の抵抗値を読み取れば、そのTMR素子のデータを判断できる。

【0013】しかし、読み出しに関しては、一つの大きな問題がある。

【0014】読み出し電流は、TMR素子内の絶縁層(トンネルバリア)を通過して流れるため、TMR素子の抵抗値は、その絶縁層の厚さに大きく依存する。具体的には、TMR素子の抵抗値は、TMR素子内の絶縁層の厚さの変化分に対して対数的に変化する。

【0015】つまり、現在、報告されているTMR素子内のトンネルバリアの厚さは、数nm程度であるが、複数のTMR素子の間で、トンネルバリアの厚さのばらつきが大きくなればなるほど、抵抗値のばらつきに関しては、対数的に大きくなる。

【0016】従って、磁気ランダムアクセスメモリでは、例えば、NOR型フラッシュメモリで採用されているようなリファレンスセルを用いたセンス方式を採用することが困難となる。

【0017】仮に、磁気ランダムアクセスメモリにおいて、選択されたTMR素子の抵抗値とリファレンスセルの抵抗値とを差動センスアンプによって比較し、選択されたTMR素子に記憶されたデータを読み出そうとすると、データがトンネルバリアの厚さのばらつきによるノイズに埋もれないようにする必要がある。

【0018】つまり、MR比(磁気抵抗変化率)により決まるTMR素子の抵抗変化分(磁化状態が平行のときの抵抗値と反平行のときの抵抗値の差) ΔR を、TMR素子及びリファレンスセルの抵抗値のばらつきよりも十分に大きくしなければならぬ。

【0019】しかし、現在、実現できるMR比は、一般

的には、20~40%であり、最大でも、50%程度である。この程度のMR比では、量産時の製造マージンや歩留りなどを考慮すると、ノイズに埋もれない十分に大きなTMR素子の抵抗変化分 ΔR を得る、という目的を達成できない。

【0020】

【発明が解決しようとする課題】上述の読み出しに関する問題を解決するための提案の一つとして、2つのTMR素子に1ビットのデータを記憶させる技術、即ち、2つのTMR素子の一方に正しいデータを記憶し、他方に逆のデータを記憶し、読み出し時に両者のデータを比較する技術が知られている。この技術では、実質的に、MR比による抵抗変化分 ΔR を2倍にすることができる。

【0021】しかし、この場合、2つのTMR素子に1ビットのデータを記憶させるため、当然に、メモリ容量の増大には不利となる。また、この技術では、複数のTMR素子の間の抵抗値のばらつきによる影響がなくなったわけではないので、複数のTMR素子の間の抵抗値のばらつきの大きさによっては、まだ、TMR素子の抵抗変化分 ΔR が十分に大きいとは言えない。

【0022】ところで、読み出しに関する問題、即ち、複数のTMR素子の間の抵抗値のばらつきに関する問題を解決すると共に、メモリセルの高集積化、メモリ容量の大容量化などにも有利となる画期的な技術が、特願2000-296082号に提案されている。

【0023】この技術を採用した磁気ランダムアクセスメモリは、複数のTMR素子を並列に接続したアレイ構造を有する。

【0024】読み出し時、並列接続された複数のTMR素子に読み出し電流を流し、その時の複数のTMR素子の抵抗値をセンスアンプにより検出する。この後、複数のTMR素子のうち選択されたTMR素子に所定データを書き込む。この後、再び、並列接続された複数のTMR素子に読み出し電流を流し、その時の複数のTMR素子の抵抗値をセンスアンプにより検出する。

【0025】先に検出された複数のTMR素子の抵抗値と後に検出された複数のTMR素子の抵抗値を比較し、両者が実質的に同じであれば、選択されたTMR素子のデータは、所定データであると判断され、異なれば、選択されたTMR素子のデータは、所定データの値と反対の値を有するデータであると判断される。

【0026】この読み出し動作原理によれば、読み出し時における複数のTMR素子の間の抵抗値のばらつきによらず、選択されたTMR素子の抵抗値(又はMR比)を正確に読み出すことができる。従って、この読み出し動作原理を採用した磁気ランダムアクセスメモリは、実現性が高いといえることができる。

【0027】なお、この読み出し動作原理では、読み出しに際して、選択されたTMR素子に記憶されたデータが破壊される場合がある(破壊読み出し)。従って、選

11

択されたTMR素子のデータ値を判断した後、そのTMR素子に対して、データの書き込みを行う必要がある。

【0028】このように、特願2000-296082号に提案される技術は、非常に有効であるが、書き込みドライバなどの書き込み回路及びセンスアンプなどの読み出し回路についての具体的な提案がなされていない。また、磁気ランダムアクセスメモリのアレイ構造や読み出し動作原理についても、さらに、実現性を高くするための改良が必要である。

【0029】本発明の目的は、破壊読み出し動作原理を採用する磁気ランダムアクセスメモリにおいて、書き込みドライバなどの書き込み回路及びセンスアンプなどの読み出し回路についての具体的な提案を行うこと、及び、磁気ランダムアクセスメモリのアレイ構造や読み出し動作原理について、実現性を高めるための改良技術を提案することにある。

【0030】

【課題を解決するための手段】(1) 読み出し方法
本発明の磁気ランダムアクセスメモリの読み出し方法は、磁気抵抗効果を利用してデータを記憶するメモリセルを有する磁気ランダムアクセスメモリに適用され、前記メモリセルに第1読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むステップと、前記書き込みデータが書き込まれた前記メモリセルに第2読み出し電流を流すステップと、前記第1及び第2読み出し電流の差を検出して、前記メモリセルのデータを判断するステップとを備える。

【0031】本発明の磁気ランダムアクセスメモリの読み出し方法は、磁気抵抗効果を利用してデータを記憶するメモリセルを有する磁気ランダムアクセスメモリに適用され、前記メモリセルに第1読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むと同時又はこれに平行して、前記メモリセルに第2読み出し電流を流し、前記第1及び第2読み出し電流の差又は時間に対する変化量を検出して、前記メモリセルのデータを判断するステップとを備える。

【0032】前記メモリセルのデータは、前記メモリセルに前記書き込みデータを書き込む前の前記メモリセルの抵抗値とその後の前記メモリセルの抵抗値との差に基づいて判断される。

【0033】前記第1及び第2読み出し電流の差が実質的にない場合には、前記メモリセルのデータの値は、前記書き込みデータの値と同じであると判断される。前記第1及び第2読み出し電流の差が実質的にある場合には、前記メモリセルのデータの値は、前記書き込みデータの値と異なると判断される。

【0034】本発明の読み出し方法は、さらに、前記メ

(7)

特開2003-151262

12

モリセルのデータの値が前記書き込みデータの値と異なると判断された場合に、前記書き込みデータの値と異なる値を有するデータを前記メモリセルに書き込みするステップを備える。

【0035】前記第2読み出し電流を得ると同時に、前記第1及び第2読み出し電流が比較される。前記第1及び第2読み出し電流の差の検出は、前記第1読み出し電流に比例した第3読み出し電流と前記第2読み出し電流に比例した第4読み出し電流との差の検出により実行される。

【0036】前記第1読み出し電流は、前記記憶回路にアナログデータとして記憶される。

【0037】前記記憶回路は、差動アンプを用いたフィードバック回路を有し、前記第1読み出し電流は、前記フィードバック回路に記憶される。

【0038】前記記憶回路は、カレントミラー回路を用いたフィードバック回路を有し、前記第1読み出し電流は、前記フィードバック回路に記憶される。

【0039】前記記憶回路は、キャパシタを有し、前記第1読み出し電流は、前記キャパシタに電圧値として記憶される。

【0040】前記第1読み出し電流は、前記記憶回路にデジタルデータとして記憶される。

【0041】前記記憶回路は、カウンタを有し、前記第1読み出し電流は、前記カウンタのカウント値として記憶される。

【0042】前記第1及び第2読み出し電流の時間に対する変化量は、インダクタンス素子により検出される。

【0043】前記メモリセルは、互いに並列接続された複数のメモリセルのうちの1つである。前記第1及び第2読み出し電流は、前記複数のメモリセルに流れる。前記複数のメモリセルは、メモリセルアレイの1つのカラム、又は、メモリセルアレイの1つのカラム内の1つのブロックを構成している。

【0044】前記書き込みデータを前記メモリセルに書き込むときに使用する書き込み電流を流すと同時又は前記書き込み電流を流している最中に、前記第2読み出し電流を流す。

【0045】(2) 磁気ランダムアクセスメモリ

① 本発明の磁気ランダムアクセスメモリは、互いに並列接続される磁気抵抗効果を利用してデータを記憶する複数のメモリセルと、前記複数のメモリセルの一端に接続され、第1方向に延びるビット線と、前記ビット線に書き込み電流を供給し又は前記ビット線から前記書き込み電流を吸収する第1及び第2書き込みビット線ドライバ/シンカーと、前記ビット線の一端と前記第1書き込みビット線ドライバ/シンカーとの間に接続される第1スイッチと、前記ビット線の他端と前記第2書き込みビット線ドライバ/シンカーとの間に接続される第2スイッチと、前記ビット線に読み出し電流を供給する読み出

13

し回路と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを備える。

【0046】前記複数のメモリセルの他端は、直接、接地端子に接続されている。

【0047】本発明の磁気ランダムアクセスメモリは、さらに、前記複数のメモリセルの他端と接地端子との間に接続される第3スイッチと、前記第3スイッチの制御端子に接続され、前記第2方向に延びる読み出しワード線とを備える。

【0048】前記複数のメモリセルは、1つのブロックを構成し、かつ、メモリセルアレイの1カラムは、複数のブロックから構成される。

【0049】前記第1及び第2スイッチは、書き込み動作時及び読み出し動作時にオン状態になる。前記第3スイッチは、読み出し動作時にオン状態になる。

【0050】② 本発明の磁気ランダムアクセスメモリは、互いに並列接続される磁気抵抗効果を利用してデータを記憶する複数のメモリセルと、前記複数のメモリセルの近傍に配置され、第1方向に延びる書き込みビット線と、前記書き込みビット線に書き込み電流を供給し又は前記書き込みビット線から前記書き込み電流を吸収する第1及び第2書き込みビット線ドライバ/シンカーと、前記書き込みビット線の一端と前記第1書き込みビット線ドライバ/シンカーとの間に接続される第1スイッチと、前記書き込みビット線の他端と前記第2書き込みビット線ドライバ/シンカーとの間に接続される第2スイッチと、前記複数のメモリセルの一端に接続され、前記第1方向に延びる読み出しビット線と、前記読み出しビット線に読み出し電流を供給する読み出し回路と、前記読み出しビット線と前記読み出し回路の間に接続される第3スイッチと、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを備える。

【0051】前記複数のメモリセルは、半導体基板上に積み重ねられている。前記複数のメモリセルは、前記第1方向に配置されている。前記複数のメモリセルの他端は、直接、接地端子に接続されている。

【0052】本発明の磁気ランダムアクセスメモリは、さらに、前記複数のメモリセルの他端と接地端子との間に接続される第4スイッチと、前記第4スイッチの制御端子に接続され、前記第2方向に延びる読み出しワード線とを備える。

【0053】前記複数のメモリセルは、1つのブロックを構成し、かつ、メモリセルアレイの1カラムは、複数のブロックから構成される。

【0054】前記第1及び第2スイッチは、書き込み動作時にオン状態になる。前記第3スイッチは、読み出し動作時にオン状態になる。

【0055】前記第3及び第4スイッチは、読み出し動作時にオン状態になる。

【0056】③ 本発明の磁気ランダムアクセスメモリ

(8)

特開2003-151262

14

は、第1方向に延びる複数のビット線と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線と、前記第2方向に延びる共通ドライバ線と、前記複数のビット線の一端と前記共通ドライバ線との間に接続される複数の第1スイッチと、前記共通ドライバ線に接続され、前記複数のビット線の1つに書き込み電流を供給し又は前記複数のビット線の1つから前記書き込み電流を吸収する第1書き込みビット線ドライバ/シンカーと、前記第2方向に延びる共通データ線と、前記複数のビット線の他端と前記共通データ線との間に接続される複数の第2スイッチと、前記共通データ線に接続され、前記複数のビット線の1つに前記書き込み電流を供給し又は前記複数のビット線の1つから前記書き込み電流を吸収する第2書き込みビット線ドライバ/シンカーと、前記共通データ線に接続され、前記複数のビット線の1つに読み出し電流を供給する読み出し回路とを備える。

【0057】前記複数のビット線の1つにより1つのカラムが構成される。

【0058】④ 本発明の磁気ランダムアクセスメモリは、第1方向に延びる複数の書き込みビット線と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線と、前記第2方向に延びる第1共通ドライバ線と、前記複数の書き込みビット線の一端と前記第1共通ドライバ線との間に接続される複数の第1スイッチと、前記第1共通ドライバ線に接続され、前記複数の書き込みビット線の1つに書き込み電流を供給し又は前記複数の書き込みビット線の1つから前記書き込み電流を吸収する第1書き込みビット線ドライバ/シンカーと、前記第2方向に延びる第2共通ドライバ線と、前記複数の書き込みビット線の他端と前記第2共通ドライバ線との間に接続される複数の第2スイッチと、前記第2共通ドライバ線に接続され、前記複数の書き込みビット線の1つに前記書き込み電流を供給し又は前記複数の書き込みビット線の1つから前記書き込み電流を吸収する第2書き込みビット線ドライバ/シンカーと、前記第1方向に延びる複数の読み出しビット線と、前記第2方向に延びる共通データ線と、前記複数の読み出しビット線と前記共通データ線との間に接続される複数の第3スイッチと、前記共通データ線に接続され、前記複数の読み出しビット線の1つに読み出し電流を供給する読み出し回路とを備える。

【0059】前記複数の書き込みビット線の1つにより1つのカラムが構成される。前記複数の書き込みビット線の2つ又はそれ以上により1つのカラムが構成される。

【0060】(3) 磁気ランダムアクセスメモリ (読み出し回路)

① 本発明の磁気ランダムアクセスメモリは、磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み

出し電流又は前記読み出し電流に比例した電流を記憶する記憶回路と、前記読み出し電流又は前記読み出し電流に比例した電流と前記記憶回路に記憶された電流とに基づいて、前記メモリセルのデータを判断するセンスアンプとを備える。

【0061】前記センスアンプは、前記読み出し電流又は前記読み出し電流に比例した電流と前記記憶回路に記憶された電流との差に基づいて、前記メモリセルのデータを判断する。

【0062】前記センスアンプは、前記読み出し電流又は前記読み出し電流に比例した電流に基づく第1入力電位と前記記憶回路に記憶された電流に基づく第2入力電位とが入力される第1差動アンプと、前記第1入力電位に対応する前記第1差動アンプの第1出力電位と第1基準電位とが入力される第2差動アンプと、前記第2入力電位に対応する前記第1差動アンプの第2出力電位と第2基準電位とが入力される第3差動アンプと、前記第2差動アンプの第3出力電位と前記第3差動アンプの第4出力電位とに基づいて前記メモリセルのデータを判断するロジック回路とを備える。

【0063】前記第1差動アンプの2つの出力端子の間には、抵抗素子、又は、デプレッションタイプMOSトランジスタが接続される。

【0064】前記記憶回路は、前記読み出し電流をアナログデータとして記憶する。

【0065】前記記憶回路は、差動アンプを用いたフィードバック回路を有し、前記読み出し電流は、前記フィードバック回路に記憶される。

【0066】前記記憶回路は、カレントミラー回路を用いたフィードバック回路を有し、前記読み出し電流は、前記フィードバック回路に記憶される。

【0067】前記記憶回路は、キャパシタを有し、前記読み出し電流は、前記キャパシタに電圧値として記憶される。

【0068】記憶回路は、前記読み出し電流をデジタルデータとして記憶する。

【0069】前記記憶回路は、カウンタを有し、前記読み出し電流は、前記カウンタのカウント値として記憶される。

【0070】② 本発明の磁気ランダムアクセスメモリは、磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み出し電流又は前記読み出し電流に比例した電流の時間に対する変化量を検出するインダクタンス素子と、前記インダクタンス素子の両端の電位に基づいて、前記メモリセルのデータを判断するセンスアンプとを備える。

【0071】前記インダクタンス素子は、半導体基板上の金属薄膜から構成される。

【0072】前記センスアンプは、前記インダクタンス

素子の両端の電位の差に基づいて、前記メモリセルのデータを判断する。

【0073】前記センスアンプは、前記インダクタンス素子の一端の第1入力電位とその他端の第2入力電位が入力される第1差動アンプと、前記第1入力電位に対応する前記第1差動アンプの第1出力電位と第1基準電位とが入力される第2差動アンプと、前記第2入力電位に対応する前記第1差動アンプの第2出力電位と第2基準電位とが入力される第3差動アンプと、前記第2差動アンプの第3出力電位と前記第3差動アンプの第4出力電位とに基づいて前記メモリセルのデータを判断するロジック回路とを備える。

【0074】前記第1差動アンプの2つの出力端子の間には、抵抗素子、又は、デプレッションタイプMOSトランジスタが接続される。

【0075】本発明の磁気ランダムアクセスメモリは、さらに、前記メモリセルと前記電流源との間のノードの電位を設定するクランプ回路を備える。

【0076】前記読み出し電流又は前記読み出し電流に比例した電流を前記記憶回路に導くカレントミラー回路を備える。

【0077】本発明の磁気ランダムアクセスメモリは、さらに、前記メモリセルに付加電流を供給する付加電流生成部を備え、前記読み出し電流に前記付加電流を加えた電流を前記メモリセルに流す。

【0078】前記付加電流生成部は、前記メモリセルと同じ構造の素子を有する。前記メモリセルは、互いに並列接続された複数のメモリセルのうちの1つである。

【0079】前記読み出し電流は、前記複数のメモリセルに流れる。

【0080】前記複数のメモリセルは、メモリセルアレイの1つのカラム、又は、メモリセルアレイの1つのカラム内の1つのブロックを構成している。

【0081】

【発明の実施の形態】以下、図面を参照しながら、本発明の磁気ランダムアクセスメモリについて詳細に説明する。

【0082】本発明は、主として、破壊読み出し動作原理を採用する磁気ランダムアクセスメモリに適用される。破壊読み出し動作原理は、読み出し時に、主としてトンネルバリアの厚さのばらつきに起因する複数のTMR素子の間の抵抗値のばらつきに関係なく、選択されたTMR素子の抵抗値（又はMR比）を正確に読み出すことができる点で非常に優れている。

【0083】破壊読み出し動作原理を採用した磁気ランダムアクセスメモリとしては、例えば、特願2000-296082号に開示されたものが知られている。そこで、まず、最初に、この文献に関わる磁気ランダムアクセスメモリを参考例として具体的に説明し、さらに、この参考例を改良した磁気ランダムアクセスメモリを改良

17

例として説明する。

【0084】1. 参考例

図1は、本発明の参考例としての磁気ランダムアクセスメモリの主要部を示している。

【0085】メモリセルアレイ11は、X方向及びY方向にアレイ状に配置される複数のTMR素子12を有する。X方向に配置されるTMR素子12の近傍には、X方向に延びる書き込みワード線WL0, WL1, ... WL11が配置される。書き込みワード線WL0, WL1, ... WL11の一端は、ロウデコーダ、電流源及び電流シンカーを含む回路ブロック13に接続され、その他端は、電流源及び電流シンカーを含む回路ブロック14に接続される。

【0086】電流シンカーとは、電流源で発生した電流を吸収する回路のことである。

【0087】Y方向に配置されるTMR素子12は、第1データ転送線15と第2データ転送線16との間に並列に接続される。第1データ転送線15の一端は、電圧源及び電流源を含む回路ブロック17に接続され、その他端は、書き込み選択スイッチ(MOSトランジスタ)18を経由して、接地点に接続される。第2データ転送線16の一端は、読み出し選択スイッチ(MOSトランジスタ)19及びセンス抵抗20を経由して、接地点に接続される。

【0088】カラムデコーダ21は、書き込み/読み出し選択スイッチ18, 19のゲートに接続される。センス回路22は、センス抵抗20の両端に接続され、センス抵抗20の両端の間の電圧を検出する。

【0089】次に、図2のタイミングチャートを参照しつつ、図1の磁気ランダムアクセスメモリの読み出し動作原理について説明する。

【0090】以下に説明する読み出し動作は、4つのサイクルから構成される。

【0091】① 第1サイクルでは、イニシャルデータの読み出しを行う。ここで、イニシャルデータとは、選択されたTMR素子のデータの値を判断するために必要とされる基準データを意味する。

【0092】まず、選択されたTMR素子12を含む選択されたカラムに接続される読み出し選択スイッチ19をオン状態にする。カラムとは、Y方向に配置され、互いに並列接続される複数のTMR素子のグループのことである。その結果、回路ブロック17内の電流源で発生した読み出し電流は、選択されたカラムの複数のTMR素子12及びセンス抵抗20を経由して、接地点に流れる。

【0093】読み出し電流が流れている状態において、センス抵抗20の両端の間に発生する電圧は、選択されたカラムを構成する並列接続された複数のTMR素子12の合成抵抗に依存する。従って、センス回路22を用いて、センス抵抗20の両端の間に発生する電圧を検出

(10)

特開2003-151262

18

すれば、イニシャルデータを検出できる。イニシャルデータは、センス回路22に記憶される。

【0094】この後、読み出し選択スイッチ19をオフ状態にする。

【0095】② 第2サイクルでは、選択されたTMR素子12に対して、試行データの書き込みを行う。ここで、試行データとは、基準データと比較する比較データを得るために、選択されたTMR素子に書き込む予め決められた値を有するデータのことであり、具体的には、“1”又は“0”となる。

【0096】まず、選択されたTMR素子12を含む選択されたカラムに接続される書き込み選択スイッチ18をオン状態にする。その結果、回路ブロック17内の電流源で発生した書き込み電流は、選択されたカラムの第1データ転送線15及び書き込み選択スイッチ18を経由して、接地点に流れる。

【0097】また、選択されたTMR素子12を含む選択されたロウに近接して配置される書き込みワード線に書き込み電流を流す。書き込みワード線に流す書き込み電流の向きは、試行データの値により決定される。なお、ロウとは、X方向に配置される複数のTMR素子12のグループのことである。

【0098】その結果、選択されたTMR素子12には、試行データ(“1”又は“0”)が書き込まれる。この後、書き込み選択スイッチ18をオフ状態にし、第1データ転送線15に流れる書き込み電流を遮断する。また、選択されたロウに近接して配置される書き込みワード線に流れる書き込み電流も遮断する。

【0099】③ 第3サイクルでは、比較データの読み出しを行う。ここで、比較データとは、基準データとの比較により、選択されたTMR素子のデータの値を判断するためのデータを意味する。

【0100】まず、選択されたTMR素子12を含む選択されたカラムに接続される読み出し選択スイッチ19をオン状態にする。その結果、回路ブロック17内の電流源で発生した読み出し電流は、選択されたカラムの複数のTMR素子12及びセンス抵抗20を経由して、接地点に流れる。

【0101】読み出し電流が流れている状態において、センス抵抗20の両端の間に発生する電圧は、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。従って、センス回路22を用いて、センス抵抗20の両端の間に発生する電圧を検出すれば、比較データを検出できる。

【0102】この後、センス回路22は、イニシャルデータと比較データを比較し、選択されたTMR素子12のデータの値を判断する。

【0103】即ち、イニシャルデータと比較データが同じと判断された場合には、試行データの書き込みにより選択されたTMR素子12の抵抗値が変わらなかったこ

19

とを意味するため、選択されたTMR素子12のデータの値は、試行データの値と同じ値と判断される。

【0104】逆に、イニシャルデータと比較データが異なると判断された場合には、試行データの書き込みにより選択されたTMR素子12の抵抗値が変化したことを意味するため、選択されたTMR素子12のデータの値は、試行データの値と逆の値を有すると判断される。

【0105】例えば、試行データが“1”の場合、イニシャルデータと比較データが同じであれば、選択されたTMR素子12のデータは、“1”であると判断され、イニシャルデータと比較データが異なれば、選択されたTMR素子12のデータは、“0”であると判断される。

【0106】また、試行データが“0”の場合、イニシャルデータと比較データが同じであれば、選択されたTMR素子12のデータは、“0”であると判断され、イニシャルデータと比較データが異なれば、選択されたTMR素子12のデータは、“1”であると判断される。

【0107】このようにして、選択されたTMR素子12のデータの値が決定される。

【0108】この後、読み出し選択スイッチ19をオフ状態にする。

【0109】④ 第4サイクルでは、選択されたTMR素子12に対して、データの再書き込みを行う。

【0110】本例の読み出し動作原理では、第2サイクルにおいて、試行データが、選択されたTMR素子に書き込まれる。つまり、この時、選択されたTMR素子のデータは、破壊されることになる（破壊読み出し）。

【0111】従って、選択されたTMR素子のデータの値を判断した後、選択されたTMR素子12に対して、データの再書き込みを行う必要がある。

【0112】まず、選択されたTMR素子12を含む選択されたカラムに接続される書き込み選択スイッチ18をオン状態にする。その結果、回路ブロック17内の電流源で発生した書き込み電流は、選択されたカラムの第1データ転送線15及び書き込み選択スイッチ18を経由して、接地点に流れる。

【0113】また、選択されたTMR素子12を含む選択されたロウに近接して配置される書き込みワード線に書き込み電流を流す。書き込みワード線に流す書き込み電流の向きは、第3サイクルにより判断される選択されたTMR素子のデータの値により決定される。

【0114】その結果、選択されたTMR素子12には、当初の正しいデータが書き込まれる。この後、書き込み選択スイッチ18をオフ状態にし、第1データ転送線15に流れる書き込み電流を遮断する。また、選択されたロウに近接して配置される書き込みワード線に流れる書き込み電流も遮断する。

【0115】以上、参考例に関わる磁気ランダムアクセスメモリでは、いわゆる破壊読み出し動作原理を採用し

(11)

特開2003-151262

20

ている。従って、読み出し時における複数のTMR素子の間の抵抗値のばらつきによらず、選択されたTMR素子の抵抗値（又はMR比）を正確に読み出すことができる。

【0116】2. 改良例

参考例では、破壊読み出し動作原理とこの原理が適用された磁気ランダムアクセスメモリの一例について説明した。

【0117】以下では、破壊読み出し動作原理を適用可能な改良された磁気ランダムアクセスメモリと、改良された破壊読み出し動作原理とについて、それぞれ詳細に説明する。

【0118】(1) 改良例1

図3は、本発明の改良例1としての磁気ランダムアクセスメモリの主要部を示している。図4は、図3の磁気ランダムアクセスメモリに関して1カラム分のみを示している。

【0119】この改良例1に関わる磁気ランダムアクセスメモリは、アレイ構造に関しては、参考例と同じである。改良例1は、参考例と比べると、書き込み／読み出しのための周辺回路に特徴を有する。

【0120】メモリセルアレイ11は、X方向及びY方向にアレイ状に配置される複数のTMR素子12を有する。X方向に配置されるTMR素子12の近傍には、X方向に延びる複数本（本例では、12本）の書き込みワード線WL0, WL1, …WL11が配置される。書き込みワード線WL0, WL1, …WL11の一端は、書き込みワード線ドライバ23に接続され、その他端は、書き込みワード線シンカー24に接続される。

【0121】ロウデコード25は、書き込み動作時、ロウアドレス信号に基づいて、書き込みワード線WL0, WL1, …WL11のうちの1本を選択する。書き込みワード線ドライバ23は、選択された書き込みワード線に書き込み電流を供給する。書き込み電流は、選択されたワード線の流れ、書き込みワード線シンカー24に吸収される。

【0122】Y方向に配置されるTMR素子12は、第1データ転送線（ビット線）26と第2データ転送線27との間に並列に接続される。

【0123】第1データ転送線26の一端は、カラム選択スイッチ（MOSトランジスタ）SWを経由して、共通データ線28に接続される。共通データ線28は、読み出し回路（センスアンプを含む）、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック29に接続される。

【0124】第1データ転送線26の他端は、カラム選択スイッチ（MOSトランジスタ）SWを経由して、共通ドライバ線30に接続される。共通ドライバ線30は、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック31に接続される。

21

【0125】カラム選択スイッチSWのゲートには、カラム選択線信号CSL0, CSL1, … CSL7が入力される。カラムデコーダ32は、カラム選択スイッチSWに対応して設けられ、カラム選択線信号CSL0, CSL1, … CSL7を出力する。第2データ転送線27は、接地点に接続される。

【0126】本例の磁気ランダムアクセスメモリでは、書き込み動作時、選択された書き込みワード線には、書き込みワード線ドライバ23から書き込みワード線シンカー24に向かう書き込み電流が流れる。また、選択されたカラムにおいては、第1データ転送線（ビット線）に書き込み電流が流れる。第1データ転送線に流れる書き込み電流の向きは、書き込みデータの値に応じて変わる。

【0127】読み出し動作時、選択されたカラムにおいては、回路ブロック29から、第1データ転送線、複数のTMR素子及び第2データ転送線を経由して、接地点に読み出し電流が流れる。回路ブロック29内のセンスアンプは、読み出し電流が流れている間、複数のTMR素子の合成抵抗に応じた読み出しデータを検出する。

【0128】なお、本例の磁気ランダムアクセスメモリを用いた読み出し動作原理の詳細については、後述する。

【0129】(2) 改良例2

図5は、本発明の改良例2としての磁気ランダムアクセスメモリの主要部を示している。図5では、図4に対応させて、メモリセルアレイの1カラム分のみを示している。

【0130】この改良例2に関わる磁気ランダムアクセスメモリは、改良例1と比べると、1カラム分のTMR素子の配置に特徴を有する。即ち、改良例1では、1カラム内のTMR素子は、Y方向に一列に配置されていたが、改良例2では、1カラム内のTMR素子は、Z方向に一列に配置されている。

【0131】ここで、Z方向とは、X方向及びY方向に直交する紙面に垂直な方向をいうものとする。つまり、図5のTMR素子は、実際には、紙面に垂直な方向に互いに重なり合っている。

【0132】メモリセルアレイ11は、X方向及びZ方向にアレイ状に配置される複数のTMR素子12を有する。本例では、TMR素子12は、Z方向に8段に積み重ねられている。TMR素子12の近傍には、X方向に延び、Z方向に積み重ねられる複数本（本例では、8本）の書き込みワード線WL0, WL1, … WL7が配置される。

【0133】例えば、1段目（最下段）に配置されたTMR素子（MTJ（Magnetic Tunnel Junction）0）の近傍には、書き込みワード線WL0が配置され、2段目に配置されたTMR素子（MTJ1）の近傍には、書き込みワード線WL1が配置され、8段目（最上段）に配

(12)

特開2003-151262

22

置されたTMR素子（MTJ7）の近傍には、書き込みワード線WL7が配置される。

【0134】書き込みワード線WL0, WL1, … WL7の一端は、書き込みワード線ドライバ23に接続され、その他端は、書き込みワード線シンカー24に接続される。

【0135】ロウデコーダ25は、書き込み動作時、ロウアドレス信号に基づいて、書き込みワード線WL0, WL1, … WL7のうちの1本を選択する。書き込みワード線ドライバ23は、選択された書き込みワード線に書き込み電流を供給する。書き込み電流は、選択されたワード線の流れ、書き込みワード線シンカー24に吸収される。

【0136】Z方向に配置されるTMR素子12は、互いに並列に接続される。TMR素子12の一端は、第1データ転送線（ビット線BLi）26に接続され、その他端は、接地点に接続される。

【0137】第1データ転送線26の一端は、カラム選択スイッチ（MOSトランジスタ）SWAを経由して、共通データ線28に接続される。共通データ線28は、読み出し回路（センスアンプを含む）29Bに接続される。

【0138】本例の磁気ランダムアクセスメモリでは、Y方向に延びる書き込み時のみに使用する書き込み線33がメモリセルアレイ11内に新たに設けられている。この書き込み線33は、例えば、Z方向の8個のTMR素子12に対応させて8本設けてもよいが、本例では、2つのTMR素子に1つの書き込み線33を対応させている。即ち、1カラム内の書き込み線33は、4本となっている。

【0139】書き込み線33の一端は、カラム選択スイッチ（MOSトランジスタ）SWBを経由して、共通ドライバ線30Aに接続される。共通ドライバ線30Aは、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック29Aに接続される。

【0140】書き込み線33の他端は、カラム選択スイッチ（MOSトランジスタ）SWBを経由して、共通ドライバ線30Bに接続される。共通ドライバ線30Bは、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック31に接続される。

【0141】カラム選択スイッチSWAのゲートには、カラム選択線信号CSLj（j=0, 1, … 7）が入力される。読み出しカラムデコーダ32Aは、カラム選択スイッチSWAに対応して設けられ、カラム選択線信号CSLjを出力する。

【0142】カラム選択スイッチSWBのゲートには、カラム選択線信号CSLjk（j=0, 1, … 7, k=0, 1, 2, 3）が入力される。書き込みカラムデコーダ32Bは、カラム選択スイッチSWBに対応して設けられ、カラム選択線信号CSLjkを出力する。

【0143】本例の磁気ランダムアクセスメモリでは、1カラムを構成する複数のTMR素子（メモリセル）が、横方向（Y方向）、即ち、半導体基板の表面に対して平行な方向ではなく、縦方向（Z方向）、即ち、半導体基板の表面に対して垂直な方向に配置されている。

【0144】従って、改良例2は、改良例1に比べて、TMR素子（メモリセル）を高集積化するのに適したアレイ構造を有する。

【0145】(3) 改良例1, 2の周辺回路の例

① 書き込みワード線ドライバ/シンカー

まず、改良例1, 2（図3、図4及び図5）の書き込みワード線ドライバ23及び書き込みワード線シンカー24の回路例について説明する。

【0146】書き込みワード線ドライバ23及び書き込みワード線シンカー24については、改良例1, 2で同一のものを使用することができる。

【0147】図6は、書き込みワード線ドライバ/シンカーの一例を示している。

【0148】書き込みワード線ドライバ23は、OR回路OR1、NAND回路ND1及びPチャネルMOSトランジスタP1から構成される。書き込みワード線シンカー24は、NチャネルMOSトランジスタN1から構成される。NチャネルMOSトランジスタN1のゲートには、電源電位VDDが入力されている。

【0149】OR回路OR1には、書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEが入力される。

【0150】書き込み信号WRITEは、選択されたTMR素子に対する通常の書き込み動作時に“H (High)”となる信号である。トライアル信号TRIALは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。再書き込み信号REWRITEは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子に正しいデータを再書き込みするときに“H”となる信号である。

【0151】これら3つの信号WRITE, TRIAL, REWRITEのいずれか1つが“H”になると、OR回路OR1の出力信号は、“H”となる。

【0152】NAND回路ND1には、OR回路OR1の出力信号及びロウアドレス信号（ロウi）が入力される。ロウi（書き込みワード線WLi）を選択するとき、ロウアドレス信号（ロウi）の全てのビットは、“H”となる。従って、ロウiが選択され、かつ、3つの信号WRITE, TRIAL, REWRITEのいずれか1つが“H”のとき、NAND回路ND1の出力信号は、“L”となる。

【0153】NAND回路ND1の出力信号が“L”となると、PチャネルMOSトランジスタP1がオン状態となるため、書き込み電流は、電源端子VDDから、書

き込みワード線WLiを経由して、書き込みワード線シンカー24に流れる。

【0154】なお、ロウi以外のロウについては、ロウアドレス信号の少なくとも1ビットが“L (Low)”となるため、ロウi以外のロウに存在する書き込みワード線には、書き込み電流が流れない。

【0155】② カラムデコーダ

改良例1（図3及び図4）のカラムデコーダ32の回路例について説明する。

10 【0156】図7は、カラムデコーダの一例を示している。

【0157】カラムデコーダ32は、OR回路OR2、AND回路AD1から構成される。OR回路OR2には、読み出し信号READ1, READ2、書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEが入力される。

20 【0158】書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEは、図6の書き込みワード線ドライバ23に入力される書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEと同じである。

30 【0159】読み出し信号READ1, READ2は、読み出し動作（破壊読み出し動作）時において、選択されたカラムを構成する複数のTMR素子の合成抵抗の値を読み出すときに“H”となる信号である。例えば、上述したように、通常の破壊読み出し動作原理では、2回の読み出し動作（図2の第1及び第2サイクル）が必要となる。即ち、読み出し信号READ1は、第1サイクルにおいて“H”となり、読み出し信号READ2は、第3サイクルにおいて“H”となる。

【0160】これら5つの信号READ1, READ2, WRITE, TRIAL, REWRITEのいずれか1つが“H”になると、OR回路OR2の出力信号は、“H”となる。

40 【0161】AND回路AD1には、OR回路OR2の出力信号及びカラムアドレス信号（カラムjを指定する）が入力される。カラムj（ビット線BLj）を選択するとき、カラムアドレス信号（カラムjを指定する）の全てのビットは、“H”となる。従って、カラムjが選択され、かつ、5つの信号READ1, READ2, WRITE, TRIAL, REWRITEのいずれか1つが“H”のとき、AND回路AD1の出力信号は、“H”となる。

【0162】AND回路AD1の出力信号が“H”となると、図4のカラム選択スイッチ（NチャネルMOSトランジスタ）SWがオン状態となる。このため、書き込み動作時には、書き込み電流がビット線BLjに流れ、読み出し動作時には、読み出し電流が複数のTMR素子に流れる。

50 【0163】図8は、カラムデコーダの他の例を示して

いる。

【0164】図8のカラムデコード32は、図7のカラムデコード32と比べると、読み出し信号READ1、READ2がなくなり、その代わりに、読み出し信号READが追加された点に特徴を有する。

【0165】このカラムデコード32は、図2で説明した破壊読み出し動作原理を改良した新たな破壊読み出し動作原理を磁気ランダムアクセスメモリに適用する場合に使用されるものである。

【0166】この新たな破壊読み出し動作原理については、後に詳述するが、その特徴を簡単に述べると、この破壊読み出し動作原理では、図2の第2サイクルと第3サイクルを1つのサイクルにまとめている。

【0167】従って、カラムデコード32には、例えば、2つの読み出し信号READ1、READ2に代わり、図2の第1サイクルで“H”となる読み出し信号READが入力される。

【0168】㊸ 読み出し／書き込みカラムデコード改良例2（図5）の読み出し／書き込みカラムデコード32A、32Bの回路例について説明する。

【0169】図9は、読み出しカラムデコードの一例を示している。

【0170】読み出しカラムデコード32Aは、OR回路OR3、AND回路AD2から構成される。OR回路OR3には、読み出し信号READ1、READ2が入力される。

【0171】読み出し信号READ1、READ2は、読み出し動作（破壊読み出し動作）時において、選択されたカラムを構成する複数のTMR素子の合成抵抗の値を読み出すときに“H”となる信号である。例えば、上述したように、通常の破壊読み出し動作原理では、2回の読み出し動作（図2の第1及び第2サイクル）が必要となる。即ち、読み出し信号READ1は、第1サイクルにおいて“H”となり、読み出し信号READ2は、第3サイクルにおいて“H”となる。

【0172】これら2つの信号READ1、READ2のいずれか1つが“H”になると、OR回路OR3の出力信号は、“H”となる。

【0173】AND回路AD2には、OR回路OR3の出力信号及びカラムアドレス信号（カラムjを指定する）が入力される。カラムj（ビット線BLj）を選択するとき、カラムアドレス信号（カラムjを指定する）の全てのビットは、“H”となる。従って、カラムjが選択され、かつ、2つの信号READ1、READ2のいずれか1つが“H”のとき、AND回路AD2の出力信号は、“H”となる。

【0174】AND回路AD2の出力信号が“H”となると、図5のカラム選択スイッチ（NチャネルMOSトランジスタ）SWAがオン状態となる。このため、読み出し動作時には、読み出し電流が複数のTMR素子に流

れる。

【0175】図10は、読み出しカラムデコードの他の例を示している。

【0176】図10の読み出しカラムデコード32Aは、図9の読み出しカラムデコード32Aと比べると、読み出し信号READ1、READ2がなくなり、その代わりに、読み出し信号READ及びトライアル信号TRIALが追加された点に特徴を有する。

【0177】この読み出しカラムデコード32Aは、図2で説明した破壊読み出し動作原理を改良した新たな破壊読み出し動作原理を磁気ランダムアクセスメモリに適用する場合に使用されるものである。

【0178】この新たな破壊読み出し動作原理については、後に詳述するが、その特徴を簡単に述べると、この破壊読み出し動作原理では、図2の第2サイクルと第3サイクルを1つのサイクルにまとめている。

【0179】従って、読み出しカラムデコード32Aには、例えば、2つの読み出し信号READ1、READ2に代わり、図2の第1サイクルで“H”となる読み出し信号READ及び第2サイクルで“H”となるトライアル信号TRIALが入力される。

【0180】図11は、書き込みカラムデコードの一例を示している。

【0181】書き込みカラムデコード32Bは、OR回路OR4、AND回路AD3から構成される。OR回路OR4には、書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEが入力される。

【0182】書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEは、図6の書き込みワード線ドライバ23に入力される書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEと同じである。

【0183】これら3つの信号WRITE、TRIAL、REWRITEのいずれか1つが“H”になると、OR回路OR4の出力信号は、“H”となる。

【0184】AND回路AD3には、OR回路OR4の出力信号及びカラムアドレス信号（カラムjを指定する）が入力される。カラムアドレス信号は、上位カラムアドレス信号と下位カラムアドレス信号とから構成される。

【0185】上位カラムアドレス信号は、1つのカラムを選択する。下位カラムアドレス信号は、選択されたカラム内に存在するZ方向に積み重ねられた複数のTMR素子を選択するために使用される。図5の例では、TMR素子は、Z方向に8段に積み重ねられ、これらを選択するために4本の書き込み線33を設けている。このため、下位カラムアドレス信号は、2ビットとする。

【0186】カラムアドレス信号によりカラムj内の(k+1)段目のTMR素子が選択され、かつ、3つの

信号WRITE, TRIAL, REWRITEのいずれか1つが“H”のとき、AND回路AD3の出力信号は、“H”となる。

【0187】AND回路AD3の出力信号が“H”、即ち、カラム選択線信号CSLjkが“H”となると、図5のカラム選択スイッチ（NチャネルMOSトランジスタ）SWBがオン状態となる。このため、書き込み動作時には、書き込み電流が図5の書き込み線33のうちの1つに流れる。

【0188】なお、図11の書き込みカラムデコーダは、通常の破壊読み出し原理及び新たな破壊読み出し原理のいずれの原理を磁気ランダムアクセスメモリに適用する場合にも使用できる。

【0189】④ 書き込みビット線ドライバ/シンカー改良例1, 2（図3、図4及び図5）の書き込みビット線ドライバ/シンカー29, 31の回路例について説明する。

【0190】書き込みビット線ドライバ/シンカー29, 31については、改良例1, 2で同一のものを使用することができる。

【0191】A 図12は、書き込みビット線ドライバ/シンカーの一例を示している。

【0192】本例の書き込みビット線ドライバ/シンカーは、破壊読み出し動作原理（例えば、図2参照）の第2サイクルで、選択されたTMR素子に書き込むいわゆる試行データが“1”の場合に対応している。

【0193】a 書き込みビット線ドライバ/シンカー29

書き込みビット線ドライバ/シンカー29は、OR回路OR5, OR6, OR7、AND回路AD4, AD5、NAND回路ND2、インバータ回路I1、PチャネルMOSトランジスタP2及びNチャネルMOSトランジスタN2から構成される。

【0194】書き込みビット線ドライバは、OR回路OR5、NAND回路ND2、インバータ回路I1及びPチャネルMOSトランジスタP2から構成される。OR回路OR5には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。

【0195】書き込み信号WRITEは、選択されたTMR素子に対する通常の書き込み動作時に“H”となる信号である。再書き込み信号REWRITEは、読み出し動作（破壊読み出し動作）後において、選択されたTMR素子に正しいデータを再書き込みするときに“H”となる信号である。

【0196】これら2つの信号WRITE, REWRITEのいずれか1つが“H”になると、OR回路OR5の出力信号は、“H”となる。

【0197】インバータ回路I1には、書き込みデータDATAが入力される。ここで、書き込みデータとは、試行データを除く、通常の書き込みデータ（再書き込み

データを含む）を意味する。

【0198】NAND回路ND2には、OR回路OR5の出力信号及びインバータ回路I1の出力信号が入力される。OR回路OR5の出力信号が“H”の場合、書き込みデータDATAが“1”であると、インバータ回路I1の出力信号は、“L”となるため、NAND回路ND2の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、インバータ回路I1の出力信号は、“H”となるため、NAND回路ND2の出力信号は、“L”となる。

【0199】なお、“1”は、“H”に対応し、“0”は、“L”に対応する。

【0200】NAND回路ND2の出力信号が“H”の場合には、PチャネルMOSトランジスタP2は、オフ状態となり、NAND回路ND2の出力信号が“L”の場合には、PチャネルMOSトランジスタP2は、オン状態となる。

【0201】書き込みビット線シンカーは、OR回路OR6, OR7、AND回路AD4, AD5及びNチャネルMOSトランジスタN2から構成される。OR回路OR6には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE, REWRITEのいずれか1つが“H”になると、OR回路OR6の出力信号は、“H”となる。

【0202】AND回路AD4には、OR回路OR6の出力信号及び書き込みデータDATAが入力される。

【0203】OR回路OR6の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD4の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、AND回路AD4の出力信号は、“L”となる。

【0204】AND回路AD5には、トライアル信号TRIALが入力される。トライアル信号TRIALは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD5は、2つの入力端子を有し、一方には、トライアル信号TRIALが入力され、他方は、常に“1”に固定される。

【0205】OR回路OR7の出力信号は、2つのAND回路AD4, AD5の出力信号のうちのいずれか一方が“H”のときに、“H”となる。即ち、2つの信号WRITE, REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“1”のとき、OR回路OR7の出力信号は、“H”となる。OR回路OR7の出力信号が“H”になると、NチャネルMOSトランジスタN2は、オン状態となる。

【0206】トライアル信号TRIALが“H”になったときにも、OR回路OR7の出力信号は、“H”となり、かつ、NチャネルMOSトランジスタN2は、オン状態となる。つまり、試行データが“1”の場合には、

書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう電流を、書き込み線26、33に流す。

【0207】b. 書き込みビット線ドライバ/シンカー31

書き込みビット線ドライバ/シンカー31は、OR回路OR8、OR9、AND回路AD6、AD7、AD8、NOR回路NR1、インバータ回路I2、PチャネルMOSトランジスタP3及びNチャネルMOSトランジスタN3から構成される。

【0208】書き込みビット線ドライバは、OR回路OR8、AND回路AD6、AD7、NOR回路NR1及びPチャネルMOSトランジスタP3から構成される。OR回路OR8には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR8の出力信号は、“H”となる。

【0209】AND回路AD6には、OR回路OR8の出力信号及び書き込みデータDATAが入力される。OR回路OR8の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD6の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、AND回路AD6の出力信号は、“L”となる。

【0210】AND回路AD7には、トライアル信号TRIALが入力される。トライアル信号TRIALは、上述のように、破壊読み出し動作時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD7は、2つの入力端子を有し、一方には、トライアル信号TRIALが入力され、他方は、常に“1”に固定される。

【0211】NOR回路NR1の出力信号は、2つのAND回路AD6、AD7の出力信号のうちの少なくとも1つが“H”のときに、“L”となる。即ち、2つの信号WRITE、REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“1”のとき、NOR回路NR1の出力信号は、“L”となる。NOR回路NR1の出力信号が“L”になると、PチャネルMOSトランジスタP3は、オン状態となる。

【0212】トライアル信号TRIALが“H”になったときにも、NOR回路NR1の出力信号は、“L”となり、かつ、PチャネルMOSトランジスタP3は、オン状態となる。つまり、試行データが“1”の場合には、書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう電流を、書き込み線26、33に流す。

【0213】書き込みビット線シンカーは、OR回路OR9、AND回路AD8、インバータ回路I2及びNチャネルMOSトランジスタN3から構成される。OR回

路OR9には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR9の出力信号は、“H”となる。

【0214】書き込みデータDATAは、インバータ回路I2に入力される。AND回路AD8には、OR回路OR9の出力信号及びインバータ回路I2の出力信号が入力される。

【0215】OR回路OR9の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD8の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、AND回路AD8の出力信号は、“H”となる。AND回路AD8の出力信号が“L”の場合には、NチャネルMOSトランジスタN3は、オフ状態となり、AND回路AD8の出力信号が“H”の場合には、NチャネルMOSトランジスタN3は、オン状態となる。

【0216】c. このように、図12の書き込みビット線ドライバ/シンカーでは、書き込み動作時、即ち、信号WRITE、REWRITEのいずれか一方が“H”のときには、書き込みデータDATAの値(“1”又は“0”)に応じて、書き込み線26、33に流れる書き込み電流の向きが決定される。

【0217】また、読み出し動作時においても、試行データをTMR素子に書き込む際には、トライアル信号TRIALが“H”になるため、本例では、書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が書き込み線26、33に流れる。この時、選択されたTMR素子には、試行データ“1”が書き込まれる。

【0218】B. 図13は、書き込みビット線ドライバ/シンカーの他の例を示している。

【0219】本例の書き込みビット線ドライバ/シンカーは、破壊読み出し動作原理(例えば、図2参照)の第2サイクルで、選択されたTMR素子に書き込むいわゆる試行データが“0”の場合に対応している。

【0220】a. 書き込みビット線ドライバ/シンカー29

書き込みビット線ドライバ/シンカー29は、OR回路OR10、OR11、AND回路AD9、AD10、AD11、NOR回路NR2、インバータ回路I3、I4、PチャネルMOSトランジスタP4及びNチャネルMOSトランジスタN4から構成される。

【0221】書き込みビット線ドライバは、OR回路OR10、AND回路AD9、AD10、NOR回路NR2、インバータ回路I3、I4及びPチャネルMOSトランジスタP4から構成される。OR回路OR10には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR

回路OR10の出力信号は、“H”となる。

【0222】書き込みデータDATAは、インバータ回路I3に入力される。AND回路AD9には、OR回路OR10の出力信号及びインバータ回路I3の出力信号が入力される。OR回路OR10の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD9の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、AND回路AD9の出力信号は、“H”となる。

【0223】AND回路AD10には、トライアル信号TRIALが入力される。トライアル信号TRIALは、破壊読み出し動作時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD10は、2つの入力端子を有し、一方には、トライアル信号TRIALが入力され、他方は、インバータI4の入力信号が“0”に固定されているため、常に“1”に固定される。

【0224】NOR回路NR2の出力信号は、2つのAND回路AD9、AD10の出力信号のうちの少なくとも1つが“H”のときに、“L”となる。即ち、2つの信号WRITE、REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“0”のとき、NOR回路NR2の出力信号は、“L”となる。NOR回路NR2の出力信号が“L”になると、PチャネルMOSトランジスタP4は、オン状態となる。

【0225】トライアル信号TRIALが“H”になったときにも、NOR回路NR2の出力信号は、“L”となり、かつ、PチャネルMOSトランジスタP4は、オン状態となる。つまり、試行データが“0”の場合には、書き込みビット線ドライバ/シンカー29から書き込みビット線ドライバ/シンカー31に向かう電流を、書き込み線26、33に流す。

【0226】書き込みビット線シンカーは、OR回路OR11、AND回路AD11及びNチャネルMOSトランジスタN4から構成される。OR回路OR11には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR11の出力信号は、“H”となる。

【0227】AND回路AD11には、OR回路OR11の出力信号及び書き込みデータDATAが入力される。

【0228】OR回路OR11の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD11の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、AND回路AD11の出力信号は、“L”となる。AND回路AD11の出力信号が“H”の場合には、NチャネルMOSトランジスタN4は、オン状態となり、AND回路AD11の出力信号が“L”の場合には、NチャネルMOSトラ

ンジスタN4は、オフ状態となる。

【0229】b. 書き込みビット線ドライバ/シンカー31書き込みビット線ドライバ/シンカー31は、OR回路OR12、OR13、OR14、AND回路AD12、AD13、NAND回路ND3、インバータ回路I5、I6、PチャネルMOSトランジスタP5及びNチャネルMOSトランジスタN5から構成される。

【0230】書き込みビット線ドライバは、OR回路OR12、NAND回路ND3及びPチャネルMOSトランジスタP5から構成される。OR回路OR12には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR12の出力信号は、“H”となる。

【0231】NAND回路ND2には、OR回路OR12の出力信号及び書き込みデータDATAが入力される。OR回路OR12の出力信号が“H”の場合、書き込みデータDATAが“1”であると、NAND回路ND3の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、NAND回路ND3の出力信号は、“H”となる。

【0232】NAND回路ND3の出力信号が“L”の場合には、PチャネルMOSトランジスタP5は、オン状態となり、NAND回路ND3の出力信号が“H”の場合には、PチャネルMOSトランジスタP5は、オフ状態となる。

【0233】書き込みビット線シンカーは、OR回路OR13、OR14、AND回路AD12、AD13、インバータ回路I5、I6及びNチャネルMOSトランジスタN5から構成される。OR回路OR13には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR13の出力信号は、“H”となる。

【0234】書き込みデータDATAは、インバータ回路I5に入力される。AND回路AD12には、OR回路OR13の出力信号及びインバータ回路I5の出力信号が入力される。

【0235】OR回路OR13の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD12の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、AND回路AD12の出力信号は、“H”となる。

【0236】AND回路AD13には、トライアル信号TRIALが入力される。トライアル信号TRIALは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD13は、2つの入力端子を有し、一方には、トライアル信号TRIALが入力され、他方は、インバータI6の入力信号

が“0”に固定されているため、常に“1”に固定される。

【0237】OR回路OR14の出力信号は、2つのAND回路AD12、AD13の出力信号のうちのいずれか一方が“H”のときに、“H”となる。即ち、2つの信号WRITE、REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“0”のとき、OR回路OR14の出力信号は、“H”となる。OR回路OR14の出力信号が“H”になると、NチャネルMOSトランジスタN5は、オン状態となる。

【0238】トライアル信号TRIALが“H”になったときにも、OR回路OR14の出力信号は、“H”となり、かつ、NチャネルMOSトランジスタN5は、オン状態となる。つまり、試行データが“0”の場合には、書き込みビット線ドライバ/シンカー29から書き込みビット線ドライバ/シンカー31に向かう電流を、書き込み線26、33に流す。

【0239】c. このように、図13の書き込みビット線ドライバ/シンカーでは、読み出し動作で、試行データをTMR素子に書き込む場合に、トライアル信号TRIALを“H”とし、書き込みビット線ドライバ/シンカー29から書き込みビット線ドライバ/シンカー31に向かう書き込み電流を、書き込み線26、33に流している。

【0240】つまり、図12の例では、TMR素子に書き込む試行データが“1”であるのに対し、図13の例では、TMR素子に書き込む試行データが“0”となっている。

【0241】なお、通常の書き込み動作時においては、信号WRITE、REWRITEのいずれか一方が“H”となるため（トライアル信号TRIALは、“L”）、書き込みデータDATAの値（“1”又は“0”）に応じて、書き込み線26、33に流れる書き込み電流の向きが決定される。

【0242】(4) 改良例1、2を用いた読み出し動作原理

改良例1、2の詳細な構成については、上述した通りである。以下では、改良例1、2を用いた読み出し動作原理について説明する。

【0243】本例では、最初に、特願2000-296082に提案される読み出し動作原理を改良例1、2で実行する場合について説明し、その後、本願で新規に提案する読み出し動作原理を改良例1、2で実行する場合について説明する。

【0244】① 読み出し動作原理1

図14は、読み出し動作原理1を示す波形図である。この読み出し動作原理は、図2に示す読み出し動作原理に関する。但し、本例では、1回の読み出し動作が、5つのステップから構成される。即ち、本例では、2回目の読み出しステップと再書き込みステップの間に、読み出

し結果を比較するステップを挿入している。

【0245】この読み出し動作原理を実行するに当たって使用する回路については、図3及び図4の改良例1では、図6に示す書き込みワード線ドライバ/シンカー、図7に示すカラムデコード、並びに、図12に示す書き込みビット線ドライバ/シンカー（試行データ“1”）とする。

【0246】また、図5の改良例2では、図6に示す書き込みワード線ドライバ/シンカー、図9に示す読み出しカラムデコード、図11に示す書き込みカラムデコード、並びに、図12に示す書き込みビット線ドライバ/シンカー（試行データ“1”）とする。

【0247】A. 第1ステップ

第1ステップでは、イニシャルデータの読み出しを行う（1回目の読み出し）。イニシャルデータとは、選択されたTMR素子のデータの値を判断するために必要とされる基準データを意味する。

【0248】このステップでは、読み出し信号READ1が“H”となる。

【0249】従って、改良例1の場合、カラムアドレス信号の全ビットが“1”となる選択されたカラムでは、カラム選択線信号CSLj（図7）が“H”となる。また、改良例2の場合、上位カラムアドレス信号の全ビットが“1”となるカラムにおいては、カラム選択線信号CSLj（図9）が“H”となる。

【0250】また、センスアンプイネーブル信号が

“H”となり、センスアンプが動作状態となる。その結果、図4の改良例1では、回路ブロック29内の読み出し回路内の電流源で発生した読み出し電流が、選択されたカラムの複数のTMR素子を経由して、接地点に流れる。図5の改良例2では、読み出し回路29B内の電流源で発生した読み出し電流が、選択されたカラムの複数のTMR素子を経由して、接地点に流れる。

【0251】読み出し回路は、読み出し電流が流れている状態で、イニシャルデータの検出を行う。イニシャルデータは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。イニシャルデータは、センスアンプ内の記憶回路に記憶される。

【0252】B. 第2ステップ

第2ステップでは、選択されたTMR素子に対して、試行データの書き込みを行う。試行データとは、基準データと比較する比較データを得るために、選択されたTMR素子に書き込む予め決められた値を有するデータのことである。本例では、試行データは、“1”とする。

【0253】このステップでは、トライアル信号TRIALが“H”となる。

【0254】従って、改良例1、2の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャネルMOSトランジスタP1（図6）がオン状態となる。これに伴い、選

択されたロウ内の書き込みワード線には、書き込み電流が流れる。

【0255】また、改良例1の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSL_j (図7)が“H”となる。また、改良例2の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSL_jk (図11)が“H”となる。

【0256】つまり、改良例1の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例2の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0257】また、図12の書き込みビット線ドライバ/シンカー29では、トライアル信号TRIALが“H”であるため、NチャネルMOSトランジスタN2がオン状態になる。図12の書き込みビット線ドライバ/シンカー31では、トライアル信号TRIALが“H”であるため、PチャネルMOSトランジスタP2がオン状態になる。

【0258】従って、図4の改良例1の場合には、選択されたカラム内の書き込み線26に書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が流れる。また、図5の改良例2の場合には、選択されたカラム内の選択された段内の書き込み線33に書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が流れる。

【0259】その結果、選択されたTMR素子には、試行データ(“1”)が書き込まれる。この後、カラム選択スイッチSW、SWBをオフ状態にし、書き込み電流を遮断する。また、選択されたロウ内の書き込みワード線に流れる書き込み電流についても遮断する。

【0260】C. 第3ステップ

第3ステップでは、比較データの読み出しを行う(2回目の読み出し)。比較データとは、基準データとの比較により、選択されたTMR素子のデータの値を判断するためのデータを意味する。

【0261】このステップでは、読み出し信号READ2が“H”となる。

【0262】従って、改良例1の場合、カラムアドレス信号の全ビットが“1”となる選択されたカラムでは、カラム選択線信号CSL_j (図7)が“H”となる。また、改良例2の場合、上位カラムアドレス信号の全ビットが“1”となるカラムにおいては、カラム選択線信号CSL_j (図9)が“H”となる。

【0263】また、センスアンプイネーブル信号が“H”となり、センスアンプが動作状態となる。その結果、図4の改良例1では、回路ブロック29内の読み出し回路内の電流源で発生した読み出し電流が、選択され

たカラムの複数のTMR素子を経由して、接地点に流れる。図5の改良例2では、読み出し回路29B内の電流源で発生した読み出し電流が、選択されたカラムの複数のTMR素子を経由して、接地点に流れる。

【0264】読み出し回路は、読み出し電流が流れている状態で、比較データの検出を行う。比較データは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。

【0265】D. 第4ステップ

10 第4ステップでは、インisialデータと比較データを比較し、選択されたTMR素子のデータの値を判断する。

【0266】即ち、インisialデータと比較データが同じと判断された場合には、第2ステップの試行データの書き込みにより、選択されたTMR素子の抵抗値が変わらなかったことを意味するため、選択されたTMR素子のデータの値は、試行データの値と同じ値と判断される。

20 【0267】逆に、インisialデータと比較データが異なると判断された場合には、第2ステップの試行データの書き込みにより、選択されたTMR素子の抵抗値が変化したことを意味するため、選択されたTMR素子のデータの値は、試行データの値と逆の値を有すると判断される。

【0268】本例では、試行データが“1”であると仮定しているため、インisialデータと比較データが同じであれば、選択されたTMR素子のデータは、“1”であると判断され、インisialデータと比較データが異なれば、選択されたTMR素子のデータは、“0”であると判断される。

30 【0269】このようにして、選択されたTMR素子のデータの値が決定される。

【0270】なお、第4ステップは、トリガ信号に基づいて、2回の読み出し結果の比較を実行する。ここで、本例では、カラム選択線信号及びセンスアンプイネーブル信号は、トリガ信号が“H”となる直前に、“L”とされる。

40 【0271】但し、図15の波形図に示すように、カラム選択線信号及びセンスアンプイネーブル信号については、第3ステップから第4ステップにわたって、“H”レベルを維持するようにしてもよい。

【0272】ところで、第4ステップを実行するための回路、即ち、読み出し回路(センスアンプを含む)の具体的な構成については、「改良例1, 2の周辺回路の例」の項目では、説明しなかった。但し、読み出し回路(センスアンプを含む)については、多種多様な改良例を提案したので、これらについては、後に詳述することにする。

【0273】E. 第5ステップ

50 第5ステップでは、選択されたTMR素子に対して、データの再書き込みを行う。本例の読み出し動作原理で

は、第2ステップにおいて、試行データが、選択されたTMR素子に書き込まれる。つまり、この時、選択されたTMR素子のデータは、破壊されることになる。

【0274】従って、選択されたTMR素子のデータの値を判断した後、選択されたTMR素子に対して、データの再書き込みを行う。

【0275】このステップでは、再書き込み信号REWRITEが“H”となる。

【0276】従って、改良例1、2の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャネルMOSトランジスタP1（図6）がオン状態となる。これに伴い、選択されたロウ内の書き込みワード線には、書き込み電流が流れる。

【0277】また、改良例1の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSL_j（図7）が“H”となる。また、改良例2の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSL_jk（図11）が“H”となる。

【0278】つまり、改良例1の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例2の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0279】また、図12の書き込みビット線ドライバ／シンカー29では、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSトランジスタP2、N2のオン／オフ状態が決定される。図12の書き込みビット線ドライバ／シンカー31においても、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSトランジスタP3、N3のオン／オフ状態が決定される。

【0280】従って、図4の改良例1の場合には、選択されたカラム内の書き込み線26に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ／シンカー29側へ、又は、書き込みビット線ドライバ／シンカー31側へ向かう書き込み電流が流れる。

【0281】また、図5の改良例2の場合には、選択されたカラム内の選択された段内の書き込み線33に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ／シンカー29側へ、又は、書き込みビット線ドライバ／シンカー31側へ向かう書き込み電流が流れる。

【0282】その結果、選択されたTMR素子には、上述の第1乃至第5ステップからなる読み出し動作を実行する前にそのTMR素子が記憶していたデータ（“1”又は“0”）が再書き込みされる。この後、カラム選択スイッチSW、SWBをオフ状態にし、書き込み電流を

遮断する。また、選択されたロウ内の書き込みワード線に流れる書き込み電流についても遮断する。

【0283】なお、第4ステップにおいてイニシャルデータと比較データが同じであると判断された場合、選択されたTMR素子に記憶されていたデータと試行データとは、同じ値を有することになる。従って、この場合には、第5ステップを省略してもよい。

【0284】即ち、第4ステップにおいてイニシャルデータと比較データが異なると判断された場合のみ、第5ステップにおいて、選択されたTMR素子に、試行データの値と逆の値を有するデータを再書き込みすればよい。

【0285】以上、改良例1、2に関わる磁気ランダムアクセスメモリでは、いわゆる破壊読み出し動作原理を採用し、これを実際に実行することができる。従って、読み出し時における複数のTMR素子の間の抵抗値のばらつきによらず、選択されたTMR素子の抵抗値（又はMR比）を正確に読み出すことができる。

【0286】② 読み出し動作原理2

図16は、読み出し動作原理2を示す波形図である。この読み出し動作原理は、上述の読み出し動作原理1の改良例である。この読み出し動作原理の特徴は、試行データの書き込みステップ、比較データの読み出しステップ（2回目の読み出しステップ）及び読み出し結果を比較してTMR素子のデータを判断するステップを、1つのステップにまとめた点にある。

【0287】従って、本例では、1回の読み出し動作が3つのステップから構成される。本例の読み出し動作原理は、図14又は図15の読み出し動作原理の第2乃至第4ステップを1つのステップにしたものである。

【0288】この読み出し動作原理を実行するに当たって使用する回路については、図3及び図4の改良例1では、図6に示す書き込みワード線ドライバ／シンカー、図8に示すカラムデコーダ、並びに、図12に示す書き込みビット線ドライバ／シンカー（試行データ“1”）とする。

【0289】また、図5の改良例2では、図6に示す書き込みワード線ドライバ／シンカー、図10に示す読み出しカラムデコーダ、図11に示す書き込みカラムデコーダ、並びに、図12に示す書き込みビット線ドライバ／シンカー（試行データ“1”）とする。

【0290】A. 第1ステップ

第1ステップでは、イニシャルデータの読み出しを行う（1回目の読み出し）。

【0291】このステップでは、読み出し信号READが“H”となる。

【0292】従って、改良例1の場合、カラムアドレス信号の全ビットが“1”となる選択されたカラムでは、カラム選択線信号CSL_j（図8）が“H”となる。また、改良例2の場合、上位カラムアドレス信号の全ビッ

トが“1”となるカラムにおいては、カラム選択線信号CSLjk(図10)が“H”となる。

【0293】また、センスアンブイネーブル信号が“H”となり、センスアンプが動作状態となる。その結果、図4の改良例1では、回路ブロック29内の読み出し回路内の電流源で発生した読み出し電流が、選択されたカラムの複数のTMR素子を経由して、接地点に流れる。図5の改良例2では、読み出し回路29B内の電流源で発生した読み出し電流が、選択されたカラムの複数のTMR素子を経由して、接地点に流れる。

【0294】読み出し回路は、読み出し電流が流れている状態で、イニシャルデータの検出を行う。イニシャルデータは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。イニシャルデータは、センスアンプ内の記憶回路に記憶される。

【0295】B. 第2ステップ

第2ステップでは、以下の3つの事項を同時又は時間的に平行して行う。

- ・ 選択されたTMR素子に対する試行データの書き込み
- ・ 比較データの読み出し(2回目の読み出し)
- ・ 2回の読み出し結果の比較(TMR素子のデータ値の判定)

このステップでは、トライアル信号TRIALが“H”となる。

【0296】従って、改良例1, 2の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャネルMOSトランジスタP1(図6)がオン状態となる。これに伴い、選択されたロウ内の書き込みワード線には、書き込み電流が流れる。

【0297】また、改良例1の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSLj(図8)が“H”となる。また、改良例2の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSLj(図11)が“H”となる。

【0298】つまり、改良例1の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例2の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0299】また、図12の書き込みビット線ドライバ/シンカー29では、トライアル信号TRIALが“H”であるため、NチャネルMOSトランジスタN2がオン状態になる。図12の書き込みビット線ドライバ/シンカー31では、トライアル信号TRIALが“H”であるため、PチャネルMOSトランジスタP2がオン状態になる。

【0300】従って、図4の改良例1の場合には、選択

されたカラム内の書き込み線26に書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が流れる。また、図5の改良例2の場合には、選択されたカラム内の選択された段内の書き込み線33に書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が流れる。

【0301】その結果、選択されたTMR素子に対して、試行データ(“1”)の書き込みが実行される。

10 【0302】このような試行データの書き込みと同時に、比較データの読み出し(2回目の読み出し)が実行される。

【0303】即ち、トライアル信号TRIALが“H”のとき、改良例1では、カラムアドレス信号の全ビットが“1”となる選択されたカラムのカラム選択線信号CSLj(図8)が“H”となる。また、改良例2では、上位カラムアドレス信号の全ビットが“1”となるカラムのカラム選択線信号CSLjk(図10)が“H”となる。

20 【0304】また、センスアンブイネーブル信号が“H”となり、センスアンプが動作状態となる。その結果、図4の改良例1では、回路ブロック29内の読み出し回路により、比較データが検出される。また、図5の改良例2では、読み出し回路29Bにより、比較データが検出される。比較データは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。

30 【0305】読み出し回路により検出された比較データは、直ちに、イニシャルデータと比較され、選択されたTMR素子のデータの値が判断される。

【0306】即ち、イニシャルデータと比較データが同じと判断された場合には、試行データの書き込みにより、選択されたTMR素子の抵抗値が変わらなかったことを意味するため、選択されたTMR素子のデータの値は、試行データの値と同じ値と判断される。

40 【0307】逆に、イニシャルデータと比較データが異なると判断された場合には、試行データの書き込みにより、選択されたTMR素子の抵抗値が変化したことを意味するため、選択されたTMR素子のデータの値は、試行データの値と逆の値を有すると判断される。

【0308】本例では、試行データが“1”であると仮定しているため、イニシャルデータと比較データが同じであれば、選択されたTMR素子のデータは、“1”であると判断され、イニシャルデータと比較データが異なれば、選択されたTMR素子のデータは、“0”であると判断される。

【0309】このようにして、選択されたTMR素子のデータの値が決定される。

【0310】C. 第3ステップ

50 第3ステップでは、選択されたTMR素子に対して、デ

ータの再書き込みを行う。本例の読み出し動作原理では、第2ステップにおいて、試行データが、選択されたTMR素子に書き込まれる。つまり、この時、選択されたTMR素子のデータは、破壊される。

【0311】従って、選択されたTMR素子のデータの値を判断した後、選択されたTMR素子に対して、データの再書き込みを行う。

【0312】このステップでは、再書き込み信号REWRITEが“H”となる。

【0313】従って、改良例1, 2の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャンネルMOSトランジスタP1(図6)がオン状態となる。これに伴い、選択されたロウ内の書き込みワード線には、書き込み電流が流れる。

【0314】また、改良例1の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSLj(図8)が“H”となる。また、改良例2の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSLjk(図11)が“H”となる。

【0315】つまり、改良例1の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例2の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0316】また、図12の書き込みビット線ドライバ/シンカー29では、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSトランジスタP2, N2のオン/オフ状態が決定される。図12の書き込みビット線ドライバ/シンカー31においても、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSトランジスタP3, N3のオン/オフ状態が決定される。

【0317】従って、図4の改良例1の場合には、選択されたカラム内の書き込み線26に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ/シンカー29側へ、又は、書き込みビット線ドライバ/シンカー31側へ向かう書き込み電流が流れる。

【0318】また、図5の改良例2の場合には、選択されたカラム内の選択された段内の書き込み線33に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ/シンカー29側へ、又は、書き込みビット線ドライバ/シンカー31側へ向かう書き込み電流が流れる。

【0319】その結果、選択されたTMR素子には、読み出し動作を実行する前にそのTMR素子が記憶していたデータ(“1”又は“0”)が再書き込みされる。この後、カラム選択スイッチSW, SWBをオフ状態に

し、書き込み電流を遮断する。また、選択されたロウ内の書き込みワード線に流れる書き込み電流についても遮断する。

【0320】なお、第2ステップにおいてイニシャルデータと比較データが同じであると判断された場合、選択されたTMR素子に記憶されていたデータと試行データとは、同じ値を有することになる。従って、この場合には、第3ステップを省略してもよい。

【0321】即ち、第2ステップにおいてイニシャルデータと比較データが異なると判断された場合のみ、第3ステップにおいて、選択されたTMR素子に、試行データの値と逆の値を有するデータを再書き込みすればよい。

【0322】以上、改良例1, 2に関わる磁気ランダムアクセスメモリでは、改良された破壊読み出し動作原理を採用し、これを実際に行うことができる。従って、読み出し時における複数のTMR素子の間の抵抗値のばらつきによらず、選択されたTMR素子の抵抗値(又はMR比)を正確に読み出すことができる。

【0323】(5) 改良例3

図17は、本発明の改良例3としての磁気ランダムアクセスメモリの主要部を示している。図18は、図17の磁気ランダムアクセスメモリに関して1カラム分のみを示している。

【0324】この改良例3に関わる磁気ランダムアクセスメモリは、改良例1に関わる磁気ランダムアクセスメモリ(図3及び図4)の変形例である。

【0325】即ち、改良例1では、1つのカラムは、互いに並列接続される複数のTMR素子からなる1つのブロックから構成される。これに対して、改良例3では、互いに並列接続される複数のTMR素子のグループを1ブロックとした場合に、1つのカラムは、複数のブロックの集合から構成される。

【0326】1つのカラムを複数のブロックの集合から構成した主な理由は、破壊読み出し動作時において、読み出し電流が流れる1つのブロック内のTMR素子の数を減らすことにより、セルデータが試行データと異なる場合のイニシャルデータと比較データの差を大きくし、読み出しマージン(又は感度)を大きくすることにある。

【0327】メモリセルアレイ11は、X方向及びY方向にアレイ状に配置される複数のTMR素子12を有する。X方向に配置されるTMR素子12の近傍には、X方向に延びる複数本(本例では、12本)の書き込みワード線WWL0, WWL1, …, WWL11が配置される。書き込みワード線WWL0, WWL1, …, WWL11の一端は、書き込みワード線ドライバ23Aに接続され、その他端は、書き込みワード線シンカー24に接続される。

【0328】本例では、1つのカラムは、3つのブロッ

クBKから構成される。1つのカラムは、Y方向に配置される12個のTMR素子12から構成されるため、1つのブロックBKは、4つのTMR素子12から構成される。

【0329】1つのブロックBK内のTMR素子12は、第1データ転送線（ビット線）26と第2データ転送線27との間に並列に接続される。

【0330】第1データ転送線26の一端は、カラム選択スイッチ（MOSトランジスタ）SWを経由して、共通データ線28に接続される。共通データ線28は、読み出し回路（センスアンプを含む）、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック29に接続される。

【0331】第1データ転送線26の他端は、カラム選択スイッチ（MOSトランジスタ）SWを経由して、共通ドライバ線30に接続される。共通ドライバ線30は、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック31に接続される。

【0332】カラム選択スイッチSWのゲートには、カラム選択線信号CSL0, CSL1, … CSL7が入力される。カラムデコード32は、カラム選択スイッチSWに対応して設けられ、カラム選択線信号CSL0, CSL1, … CSL7を出力する。

【0333】第2データ転送線27は、読み出し選択スイッチ（MOSトランジスタ）RSWを経由して、接地点に接続される。読み出し選択スイッチRSWのゲートは、読み出しワード線RWL₀（₀=0, 1, 2）に接続される。1つの読み出しワード線RWL₀は、1つのカラム内の1つのブロックBKに対応し、かつ、X方向の複数のブロックに共通となっている。

【0334】本例では、1つのカラムが3つのブロックから構成されるため、読み出しワード線RWL₀の数は、3本となっている。読み出しワード線RWL₀は、X方向に延び、その一端は、読み出しワード線ドライバ23Bに接続される。

【0335】ロウデコード25は、書き込み動作時、ロウアドレス信号に基づいて、書き込みワード線WWL0, WWL1, … WWL11のうちの1本を選択する。書き込みワード線ドライバ23Aは、選択された書き込みワード線に書き込み電流を供給する。書き込み電流は、選択されたワード線の流れ、書き込みワード線シンカー24に吸収される。

【0336】ロウデコード25は、読み出し動作時、例えば、上位ロウアドレス信号に基づいて、1つのブロックを選択する。読み出しワード線ドライバ23Bは、選択されたブロックBKに接続される読み出しワード線RWL₀に読み出しワード線電圧を供給する。選択されたブロックBKでは、読み出し選択スイッチRSWがオン状態となるため、読み出し電流は、選択されたブロックBK内の複数のTMR素子を経由して、接地点に向かっ

て流れる。

【0337】本例の磁気ランダムアクセスメモリでは、書き込み動作時、選択された書き込みワード線には、書き込みワード線ドライバ23Aから書き込みワード線シンカー24に向かう書き込み電流が流れる。また、選択されたカラムにおいては、第1データ転送線（ビット線）26に書き込み電流が流れる。第1データ転送線26に流れる書き込み電流の向きは、書き込みデータの値に応じて変わる。

10 【0338】読み出し動作時、選択されたカラム内の選択されたブロックにおいては、回路ブロック29から、第1データ転送線、複数のTMR素子及び第2データ転送線を経由して、接地点に読み出し電流が流れる。回路ブロック29内の読み出し回路は、読み出し電流が流れている間、選択されたブロック内の複数のTMR素子の合成抵抗に応じた読み出しデータを検出する。

【0339】なお、本例の磁気ランダムアクセスメモリを用いた読み出し動作原理の詳細については、後述する。

20 【0340】(6) 改良例4

図19は、本発明の改良例4としての磁気ランダムアクセスメモリの主要部を示している。図19では、図18に対応させて、メモリセルアレイの1カラム分のみを示している。

【0341】この改良例4に関わる磁気ランダムアクセスメモリは、改良例3と比べると、1カラム分のTMR素子の配置に特徴を有する。

30 【0342】即ち、改良例3では、1カラム内の複数のブロック及び1ブロック内の複数のTMR素子のいずれについても、Y方向に一行に配置されていたが、改良例4では、1カラム内の複数のブロックについては、Y方向に一行に配置し、1ブロック内の複数のTMR素子については、Z方向に一行に配置する。

【0343】ここで、Z方向とは、X方向及びY方向に直交する紙面に垂直な方向をいうものとする。つまり、図19のTMR素子は、実際には、紙面に垂直な方向に互いに重なり合っている。

【0344】メモリセルアレイ11は、X方向、Y方向及びZ方向にアレイ状に配置される複数のTMR素子12を有する。本例では、1カラムは、複数のブロックBKから構成される。

【0345】1つのブロックBKは、Z方向に積み重ねられた複数の（本例では、4つ）のTMR素子12から構成される。1つのブロックBKを構成するTMR素子12の近傍には、X方向に延び、Z方向に積み重ねられる複数本（本例では、4本）の書き込みワード線WWL0, WWL1, WWL2, WWL3が配置される。

50 【0346】例えば、1段目（最下段）に配置されたTMR素子（MTJ）（Magnetic Tunnel Junction）0の近傍には、書き込みワード線WWL0が配置され、2段

目に配置されたTMR素子(MTJ1)の近傍には、書き込みワード線WWL1が配置され、4段目(最上段)に配置されたTMR素子(MTJ3)の近傍には、書き込みワード線WWL3が配置される。

【0347】書き込みワード線WWL0, WWL1, WWL2, WWL3の一端は、書き込みワード線ドライバ23Aに接続され、その他端は、書き込みワード線シンカー24に接続される。

【0348】1ブロックBK内のZ方向に配置される複数のTMR素子12は、互いに並列に接続される。

【0349】TMR素子12の一端は、第1データ転送線(ビット線BLi)26に接続される。第1データ転送線26の一端は、カラム選択スイッチ(MOSTランジスタ)SWAを経由して、共通データ線28に接続される。共通データ線28は、読み出し回路(センスアンプを含む)29Bに接続される。

【0350】TMR素子12の他端は、読み出し選択スイッチ(MOSTランジスタ)RSWを経由して、接地点に接続される。読み出し選択スイッチRSWのゲートは、読み出しワード線RWLo(o=0, 1, 2)に接続される。1つの読み出しワード線RWLoは、1つのカラム内の1つのブロックBKに対応し、かつ、X方向の複数のブロックに共通となっている。

【0351】例えば、1つのカラムが3つのブロックから構成される場合、読み出しワード線RWLoの数は、3本となる。読み出しワード線RWLoは、X方向に延び、その一端は、読み出しワード線ドライバ23Bに接続される。

【0352】ロウデコーダ25は、書き込み動作時、ロウアドレス信号に基づいて、書き込みワード線WWL0, WWL1, ... WWL11のうちの1本を選択する。書き込みワード線ドライバ23Aは、選択された書き込みワード線に書き込み電流を供給する。書き込み電流は、選択されたワード線流れ、書き込みワード線シンカー24に吸収される。

【0353】ロウデコーダ25は、読み出し動作時、例えば、上位ロウアドレス信号に基づいて、1つのブロックを選択する。読み出しワード線ドライバ23Bは、選択されたブロックBKに接続される読み出しワード線RWLoに読み出しワード線電圧を供給する。選択されたブロックBKでは、読み出し選択スイッチRSWがオン状態となるため、読み出し電流は、選択されたブロックBK内の複数のTMR素子を経由して、接地点に向かって流れる。

【0354】本例では、Y方向に延びる書き込み時のみに使用する書き込み線33がメモリセルアレイ11内に新たに設けられている。この書き込み線33は、例えば、1ブロック内の4個のTMR素子12に対応させて4本設けてもよいが、本例では、2つのTMR素子に1つの書き込み線33を対応させている。即ち、1ブロッ

ク内の書き込み線33は、2本となっている。

【0355】書き込み線33の一端は、カラム選択スイッチ(MOSTランジスタ)SWBを経由して、共通ドライバ線30Aに接続される。共通ドライバ線30Aは、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック29Aに接続される。

【0356】書き込み線33の他端は、カラム選択スイッチ(MOSTランジスタ)SWBを経由して、共通ドライバ線30Bに接続される。共通ドライバ線30Bは、書き込みビット線ドライバ及び書き込みビット線シンカーを含む回路ブロック31に接続される。

【0357】カラム選択スイッチSWAのゲートには、カラム選択線信号CSLj(j=0, 1, ... 7)が入力される。読み出しカラムデコーダ32Aは、カラム選択スイッチSWAに対応して設けられ、カラム選択線信号CSLjを出力する。

【0358】カラム選択スイッチSWBのゲートには、カラム選択線信号CSLjk(j=0, 1, ... 7, k=0, 1)が入力される。書き込みカラムデコーダ32Bは、カラム選択スイッチSWBに対応して設けられ、カラム選択線信号CSLjkを出力する。

【0359】本例の磁気ランダムアクセスメモリでは、互いに並列接続される複数のTMR素子のグループを1ブロックとした場合に、1つのカラムは、複数のブロックの集合から構成される。このため、破壊読み出し動作時において、読み出し電流が流れる1つのブロック内のTMR素子の数を減らすことができ、セルデータが試行データと異なる場合のイニシャルデータと比較データの差を大きくし、読み出しマージン(又は感度)を大きくすることができる。

【0360】また、改良例4では、1ブロック内の複数のTMR素子(メモリセル)が、横方向(Y方向)、即ち、半導体基板の表面に対して平行な方向ではなく、縦方向(Z方向)、即ち、半導体基板の表面に対して垂直な方向に配置されている。

【0361】従って、改良例4は、改良例3に比べて、TMR素子(メモリセル)を高集積化するのに適したアレイ構造を有する。

【0362】(7) 改良例3, 4の周辺回路の例

① 書き込みワード線ドライバ/シンカー

まず、改良例3, 4(図17、図18及び図19)の書き込みワード線ドライバ23A及び書き込みワード線シンカー24の回路例について説明する。

【0363】書き込みワード線ドライバ23A及び書き込みワード線シンカー24については、改良例3, 4で同一のものを使用することができる。

【0364】図20は、書き込みワード線ドライバ/シンカーの一例を示している。

【0365】書き込みワード線ドライバ23Aは、OR回路OR15、NAND回路ND4及びPチャネルMO

SトランジスタP6から構成される。書き込みワード線シンカー24は、NチャネルMOSトランジスタN6から構成される。NチャネルMOSトランジスタN6のゲートには、電源電位VDDが入力されている。

【0366】OR回路OR15には、書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEが入力される。

【0367】書き込み信号WRITEは、選択されたTMR素子に対する通常書き込み動作時に“H”となる信号である。トライアル信号TRIALは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。再書き込み信号REWRITEは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子に正しいデータを再書き込みするときに“H”となる信号である。

【0368】これら3つの信号WRITE, TRIAL, REWRITEのいずれか1つが“H”になると、OR回路OR15の出力信号は、“H”となる。

【0369】NAND回路ND4には、OR回路OR15の出力信号及びロウアドレス信号（ロウi）が入力される。ロウi（書き込みワード線WLi）を選択するとき、ロウアドレス信号（ロウi）の全てのビットは、“H”となる。従って、ロウiが選択され、かつ、3つの信号WRITE, TRIAL, REWRITEのいずれか1つが“H”のとき、NAND回路ND4の出力信号は、“L”となる。

【0370】ロウアドレス信号は、上位ロウアドレス信号と下位ロウアドレス信号から構成される。本例では、上位ロウアドレス信号は、1カラム内の複数のブロックのうちの1つを選択するために使用され、下位ロウアドレス信号は、選択されたブロック内の複数のTMR素子のうちの1つを選択するために使用される。

【0371】例えば、1カラムが3つ又は4つのブロックから構成される場合、上位ロウアドレス信号は、2ビット、1ブロックが4つのTMR素子から構成される場合、下位ロウアドレス信号は、2ビットとなる。

【0372】NAND回路ND4の出力信号が“L”になると、PチャネルMOSトランジスタP6がオン状態となるため、書き込み電流は、電源端子VDDから、書き込みワード線WLiを経由して、書き込みワード線シンカー24に流れる。

【0373】なお、ロウi以外のロウについては、ロウアドレス信号の少なくとも1ビットが“L”となるため、ロウi以外のロウに存在する書き込みワード線には、書き込み電流が流れない。

【0374】② 読み出しワード線ドライバ
改良例3, 4（図17、図18及び図19）の読み出しワード線ドライバ23Bの回路例について説明する。

【0375】読み出しワード線ドライバ23Bについて

は、改良例3, 4で同一のものを使用することができる。

【0376】図21は、読み出しワード線ドライバの一例を示している。

【0377】読み出しワード線ドライバ23Bは、OR回路OR16及びAND回路AD14から構成される。OR回路OR16には、読み出し信号READ1, READ2が入力される。

【0378】読み出し信号READ1, READ2は、読み出し動作（破壊読み出し動作）時において、選択されたブロック内の複数のTMR素子の合成抵抗の値を読み出すときに“H”となる信号である。例えば、上述したように、通常の破壊読み出し動作原理では、2回の読み出し動作（図2の第1及び第2サイクル）が必要となる。即ち、読み出し信号READ1は、第1サイクルにおいて“H”となり、読み出し信号READ2は、第3サイクルにおいて“H”となる。

【0379】これら2つの信号READ1, READ2のいずれか1つが“H”になると、OR回路OR16の出力信号は、“H”となる。

【0380】AND回路AD14には、OR回路OR16の出力信号及び上位ロウアドレス信号（ブロックmを指定する）が入力される。ブロックmを選択するとき、上位ロウアドレス信号（ブロックmを指定する）の全てのビットは、“H”となる。従って、ブロックmが選択され、かつ、2つの信号READ1, READ2のいずれか1つが“H”のとき、AND回路AD14の出力信号は、“H”となる。

【0381】AND回路AD14の出力信号が“H”になると、選択されたブロックBK内の読み出し選択スイッチ（NチャネルMOSトランジスタ）RSWがオン状態となる。従って、読み出し電流は、選択されたブロックBK内の複数のTMR素子に流れる。また、選択されていないブロックBK内の読み出し選択スイッチRSWは、当然に、オフ状態となる。従って、読み出し電流は、選択されていないブロックBK内の複数のTMR素子に流れない。

【0382】図22は、読み出しワード線ドライバの他の例を示している。

【0383】本例の読み出しワード線ドライバは、図21の読み出しワード線ドライバと比べると、読み出し信号READ1, READ2がなくなり、その代わりに、読み出し信号READが追加された点に特徴を有する。

【0384】この読み出しワード線ドライバは、図2で説明した破壊読み出し動作原理を改良した新たな破壊読み出し動作原理を磁気ランダムアクセスメモリに適用する場合に使用される。

【0385】読み出しワード線ドライバ23Bは、OR回路OR17及びAND回路AD15から構成される。OR回路OR17には、読み出し信号READ及びトラ

イアル信号TRIALが入力される。

【0386】読み出し信号READは、読み出し動作（破壊読み出し動作）時において、選択されたブロック内の複数のTMR素子の合成抵抗の値を読み出すときに“H”となる信号である。トライアル信号TRIALは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。

【0387】改良された破壊読み出し動作原理では、試行データの書き込みステップに平行して、2回目の読み出し（比較データの読み出し）ステップと読み出し結果の比較（選択されたTMR素子のデータの判定）ステップが行われる。つまり、トライアル信号TRIALが“H”になったときに、これらの動作が一斉に行われるようにしている。

【0388】これら2つの信号READ, TRIALのいずれか1つが“H”になると、OR回路OR17の出力信号は、“H”となる。

【0389】AND回路AD15には、OR回路OR17の出力信号及び上位ロウアドレス信号（ブロックm）が入力される。ブロックmを選択するとき、上位ロウアドレス信号（ブロックm）の全てのビットは、“H”となる。従って、ブロックmが選択され、かつ、2つの信号READ, TRIALのいずれか1つが“H”のとき、AND回路AD15の出力信号は、“H”となる。

【0390】AND回路AD15の出力信号が“H”になると、選択されたブロックBK内の読み出し選択スイッチ（NチャネルMOSトランジスタ）RSWがオン状態となる。従って、読み出し電流は、選択されたブロックBK内の複数のTMR素子に流れる。また、選択されていないブロックBK内の読み出し選択スイッチRSWは、当然に、オフ状態となる。従って、読み出し電流は、選択されていないブロックBK内の複数のTMR素子に流れない。

【0391】③ ロウデコーダ

改良例3, 4（図17、図18及び図19）のロウデコーダ25の回路例について説明する。ロウデコーダ25については、改良例3, 4で同一のものを使用することができる。

【0392】図30は、ロウデコーダの一例を示している。

【0393】ロウデコーダ25は、ロウアドレス信号をデコードし、選択されたロウi内の書き込みワード線ドライバ23Aに与えるロウアドレス信号の全ビットを“1”にする。また、ロウデコーダ25は、選択されたブロックBKに対応する読み出しワード線ドライバ23Bに与える上位ロウアドレス信号の全ビット（本例では、2ビット）を“1”にする。

【0394】④ カラムデコーダ

改良例3（図17及び図18）のカラムデコーダ32の

回路例について説明する。

【0395】図23は、カラムデコーダの一例を示している。

【0396】カラムデコーダ32は、OR回路OR18、AND回路AD16から構成される。OR回路OR18には、読み出し信号READ1, READ2、書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEが入力される。

【0397】書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEは、図20の書き込みワード線ドライバ23Aに入力される書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEと同じである。

【0398】読み出し信号READ1, READ2は、読み出し動作（破壊読み出し動作）時において、選択されたカラムを構成する複数のTMR素子の合成抵抗の値を読み出すときに“H”となる信号である。

【0399】これら5つの信号READ1, READ2, WRITE, TRIAL, REWRITEのいずれか1つが“H”になると、OR回路OR18の出力信号は、“H”となる。

【0400】AND回路AD16には、OR回路OR18の出力信号及びカラムアドレス信号（カラムjを指定する）が入力される。カラムj（ビット線BLj）を選択するとき、カラムアドレス信号（カラムjを指定する）の全てのビットは、“H”となる。従って、カラムjが選択され、かつ、5つの信号READ1, READ2, WRITE, TRIAL, REWRITEのいずれか1つが“H”のとき、AND回路AD16の出力信号は、“H”となる。

【0401】AND回路AD16の出力信号が“H”になると、図18のカラム選択スイッチ（NチャネルMOSトランジスタ）SWがオン状態となる。このため、書き込み動作時には、書き込み電流がビット線BLjに流れ、読み出し動作時には、読み出し電流が複数のTMR素子に流れる。

【0402】図24は、カラムデコーダの他の例を示している。

【0403】図24のカラムデコーダ32は、図23のカラムデコーダ32と比べると、読み出し信号READ1, READ2がなくなり、その代わりに、読み出し信号READが追加された点に特徴を有する。

【0404】このカラムデコーダ32は、改良された破壊読み出し動作原理を磁気ランダムアクセスメモリに適用する場合に使用される。この改良された破壊読み出し動作原理では、例えば、図2の第2サイクルと第3サイクルを1つのサイクルにまとめている。

【0405】従って、カラムデコーダ32には、例えば、2つの読み出し信号READ1, READ2に代わ

【0406】⑤ 読み出し／書き込みカラムデコード改良例4（図19）の読み出し／書き込みカラムデコード32A、32Bの回路例について説明する。

【0407】図25は、読み出しカラムデコードの一例を示している。

【0408】読み出しカラムデコード32Aは、OR回路OR20、AND回路AD18から構成される。OR回路OR20には、読み出し信号READ1、READ2が入力される。

【0409】読み出し信号READ1、READ2は、読み出し動作（破壊読み出し動作）時において、選択されたカラムを構成する複数のTMR素子の合成抵抗の値を読み出すときに“H”となる信号である。

【0410】これら2つの信号READ1、READ2のいずれか1つが“H”になると、OR回路OR20の出力信号は、“H”となる。

【0411】AND回路AD18には、OR回路OR20の出力信号及びカラムアドレス信号（カラムjを指定する）が入力される。カラムj（ビット線BLj）を選択するとき、カラムアドレス信号（カラムjを指定する）の全てのビットは、“H”となる。

【0412】従って、カラムjが選択され、かつ、2つの信号READ1、READ2のいずれか1つが“H”のとき、AND回路AD18の出力信号は、“H”となる。

【0413】AND回路AD18の出力信号が“H”になると、図19のカラム選択スイッチ（NチャネルMOSトランジスタ）SWAがオン状態となる。このため、読み出し動作時には、読み出し電流が複数のTMR素子に流れる。

【0414】図26は、読み出しカラムデコードの他の例を示している。

【0415】図26の読み出しカラムデコード32Aは、図25の読み出しカラムデコード32Aと比べると、読み出し信号READ1、READ2がなくなり、その代わりに、読み出し信号READ及びトライアル信号TRIALが追加された点に特徴を有する。

【0416】この読み出しカラムデコード32Aは、改良された破壊読み出し動作原理を磁気ランダムアクセスメモリに適用する場合に使用される。

【0417】図27は、書き込みカラムデコードの一例を示している。

【0418】書き込みカラムデコード32Bは、OR回路OR21、AND回路AD19から構成される。OR回路OR21には、書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEが入力される。

【0419】書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEは、図20の書き込みワード線ドライバ23Aに入力される書き

込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEと同じである。

【0420】これら3つの信号WRITE、TRIAL、REWRITEのいずれか1つが“H”になると、OR回路OR21の出力信号は、“H”となる。

【0421】AND回路AD19には、OR回路OR21の出力信号及びカラムアドレス信号（カラムjを指定する）が入力される。カラムアドレス信号は、上位カラムアドレス信号と下位カラムアドレス信号とから構成される。

【0422】上位カラムアドレス信号は、1つのカラムを選択する。下位カラムアドレス信号は、選択されたカラム内に存在する2方向に積み重ねられた複数のTMR素子を選択するために使用される。図19の例では、TMR素子は、2方向に4段に積み重ねられ、それらの選択のために2本の書き込み線33が設けられる。このため、下位カラムアドレス信号は、1ビットとする。

【0423】カラムアドレス信号によりカラムj内の（k+1）段目のTMR素子が選択され、かつ、3つの信号WRITE、TRIAL、REWRITEのいずれか1つが“H”のとき、AND回路AD3の出力信号は、“H”となる。

【0424】AND回路AD19の出力信号が“H”、即ち、カラム選択線信号CSLjkが“H”になると、図19のカラム選択スイッチ（NチャネルMOSトランジスタ）SWBがオン状態となる。このため、書き込み動作時には、書き込み電流が図19の書き込み線33のうちの1つに流れる。

【0425】なお、図27の書き込みカラムデコードは、通常の破壊読み出し原理及び改良された新たな破壊読み出し原理のいずれの原理を磁気ランダムアクセスメモリに適用する場合にも使用できる。

【0426】⑥ 書き込みビット線ドライバ／シンカー改良例3；4（図17、図18及び図19）の書き込みビット線ドライバ／シンカー29、31の回路例について説明する。

【0427】書き込みビット線ドライバ／シンカー29、31については、改良例3、4で同一のものを使用することができる。

【0428】A. 図28は、書き込みビット線ドライバ／シンカーの一例を示している。

【0429】本例の書き込みビット線ドライバ／シンカーは、破壊読み出し動作原理（例えば、図2参照）の第2サイクルで、選択されたTMR素子に書き込むいわゆる試行データが“1”の場合に対応している。

【0430】a. 書き込みビット線ドライバ／シンカー29

書き込みビット線ドライバ／シンカー29は、OR回路OR5、OR6、OR7、AND回路AD4、AD5、NAND回路ND2、インバート回路I1、Pチャネル

MOSトランジスタP2及びNチャネルMOSトランジスタN2から構成される。

【0431】書き込みビット線ドライバは、OR回路OR5、NAND回路ND2、インバータ回路I1及びPチャネルMOSトランジスタP2から構成される。OR回路OR5には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。

【0432】書き込み信号WRITEは、選択されたTMR素子に対する通常の書き込み動作時に“H”となる信号である。再書き込み信号REWRITEは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子に正しいデータを再書き込みするときに“H”となる信号である。

【0433】これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR5の出力信号は、“H”となる。

【0434】インバータ回路I1には、書き込みデータDATAが入力される。ここで、書き込みデータとは、試行データを除く、通常の書き込みデータ（再書き込みデータを含む）を意味する。

【0435】NAND回路ND2には、OR回路OR5の出力信号及びインバータ回路I1の出力信号が入力される。OR回路OR5の出力信号が“H”の場合、書き込みデータDATAが“1”であると、インバータ回路I1の出力信号は、“L”となるため、NAND回路ND2の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、インバータ回路I1の出力信号は、“H”となるため、NAND回路ND2の出力信号は、“L”となる。

【0436】なお、“1”は、“H”に対応し、“0”は、“L”に対応する。

【0437】NAND回路ND2の出力信号が“H”の場合には、PチャネルMOSトランジスタP2は、オフ状態となり、NAND回路ND2の出力信号が“L”の場合には、PチャネルMOSトランジスタP2は、オン状態となる。

【0438】書き込みビット線シンカーは、OR回路OR6、OR7、AND回路AD4、AD5及びNチャネルMOSトランジスタN2から構成される。OR回路OR6には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR5の出力信号は、“H”となる。

【0439】AND回路AD4には、OR回路OR6の出力信号及び書き込みデータDATAが入力される。

【0440】OR回路OR6の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD4の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、AND回路AD4の出力信号は、“L”となる。

【0441】AND回路AD5には、トライアル信号TRIALが入力される。トライアル信号TRIALは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD5は、2つの入力端子を有し、一方には、トライアル信号TRIALが入力され、他方は、常に“1”に固定される。

【0442】OR回路OR7の出力信号は、2つのAND回路AD4、AD5の出力信号のうちのいずれか一方が“H”のときに、“H”となる。即ち、2つの信号WRITE、REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“1”のとき、OR回路OR7の出力信号は、“H”となる。OR回路OR7の出力信号が“H”になると、NチャネルMOSトランジスタN2は、オン状態となる。

【0443】トライアル信号TRIALが“H”になったときにも、OR回路OR7の出力信号は、“H”となり、かつ、NチャネルMOSトランジスタN2は、オン状態となる。つまり、試行データが“1”の場合には、書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう電流を、書き込み線26、33に流す。

【0444】b. 書き込みビット線ドライバ/シンカー31

書き込みビット線ドライバ/シンカー31は、OR回路OR8、OR9、AND回路AD6、AD7、AD8、NOR回路NR1、インバータ回路I2、PチャネルMOSトランジスタP3及びNチャネルMOSトランジスタN3から構成される。

【0445】書き込みビット線ドライバは、OR回路OR8、AND回路AD6、AD7、NOR回路NR1及びPチャネルMOSトランジスタP3から構成される。OR回路OR8には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR8の出力信号は、“H”となる。

【0446】AND回路AD6には、OR回路OR8の出力信号及び書き込みデータDATAが入力される。OR回路OR8の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD6の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、AND回路AD6の出力信号は、“L”となる。

【0447】AND回路AD7には、トライアル信号TRIALが入力される。トライアル信号TRIALは、上述のように、破壊読み出し動作時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD7は、2つの入力端子を有し、一方には、トライアル信号TRIAL

が入力され、他方は、常に“1”に固定される。

【0448】NOR回路NR1の出力信号は、2つのAND回路AD6、AD7の出力信号のうちの少なくとも1つが“H”のときに、“L”となる。即ち、2つの信号WRITE、REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“1”のとき、NOR回路NR1の出力信号は、“L”となる。NOR回路NR1の出力信号が“L”になると、PチャネルMOSトランジスタP3は、オン状態となる。

【0449】トライアル信号TRIALが“H”になったときにも、NOR回路NR1の出力信号は、“L”となり、かつ、PチャネルMOSトランジスタP3は、オン状態となる。つまり、試行データが“1”の場合には、書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう電流を、書き込み線26、33に流す。

【0450】書き込みビット線シンカーは、OR回路OR9、AND回路AD8、インバータ回路I2及びNチャネルMOSトランジスタN3から構成される。OR回路OR9には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR9の出力信号は、“H”となる。

【0451】書き込みデータDATAは、インバータ回路I2に入力される。AND回路AD8には、OR回路OR9の出力信号及びインバータ回路I2の出力信号が入力される。

【0452】OR回路OR9の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD8の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、AND回路AD8の出力信号は、“H”となる。AND回路AD8の出力信号が“L”の場合には、NチャネルMOSトランジスタN3は、オフ状態となり、AND回路AD8の出力信号が“H”の場合には、NチャネルMOSトランジスタN3は、オン状態となる。

【0453】c. このように、図28の書き込みビット線ドライバ/シンカーでは、書き込み動作時、即ち、信号WRITE、REWRITEのいずれか一方が“H”のときには、書き込みデータDATAの値(“1”又は“0”)に応じて、書き込み線26、33に流れる書き込み電流の向きが決定される。

【0454】また、読み出し動作時においても、試行データをTMR素子に書き込む際には、トライアル信号TRIALが“H”になるため、本例では、書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が書き込み線26、33に流れる。この時、選択されたTMR素子には、試行データ“1”が書き込まれる。

【0455】B. 図29は、書き込みビット線ドライ

バ/シンカーの他の例を示している。

【0456】本例の書き込みビット線ドライバ/シンカーは、破壊読み出し動作原理(例えば、図2参照)の第2サイクルで、選択されたTMR素子に書き込むいわゆる試行データが“0”の場合に対応している。

【0457】a. 書き込みビット線ドライバ/シンカー29

書き込みビット線ドライバ/シンカー29は、OR回路OR10、OR11、AND回路AD9、AD10、AD11、NOR回路NR2、インバータ回路I3、I4、PチャネルMOSトランジスタP4及びNチャネルMOSトランジスタN4から構成される。

【0458】書き込みビット線ドライバは、OR回路OR10、AND回路AD9、AD10、NOR回路NR2、インバータ回路I3、I4及びPチャネルMOSトランジスタP4から構成される。OR回路OR10には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE、REWRITEのいずれか1つが“H”になると、OR回路OR10の出力信号は、“H”となる。

【0459】書き込みデータDATAは、インバータ回路I3に入力される。AND回路AD9には、OR回路OR10の出力信号及びインバータ回路I3の出力信号が入力される。OR回路OR10の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD9の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、AND回路AD9の出力信号は、“H”となる。

【0460】AND回路AD10には、トライアル信号TRIALが入力される。トライアル信号TRIALは、破壊読み出し動作時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD10は、2つの入力端子を有し、一方には、トライアル信号TRIALが入力され、他方は、インバータI4の入力信号が“0”に固定されているため、常に“1”に固定される。

【0461】NOR回路NR2の出力信号は、2つのAND回路AD9、AD10の出力信号のうちの少なくとも1つが“H”のときに、“L”となる。即ち、2つの信号WRITE、REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“0”のとき、NOR回路NR2の出力信号は、“L”となる。NOR回路NR2の出力信号が“L”になると、PチャネルMOSトランジスタP4は、オン状態となる。

【0462】トライアル信号TRIALが“H”になったときにも、NOR回路NR2の出力信号は、“L”となり、かつ、PチャネルMOSトランジスタP4は、オン状態となる。つまり、試行データが“0”の場合には、書き込みビット線ドライバ/シンカー29から書き込みビット線ドライバ/シンカー31に向かう電流を、

書き込み線 26, 33 に流す。

【0463】書き込みビット線シンカーは、OR回路OR11、AND回路AD11及びNチャネルMOSトランジスタN4から構成される。OR回路OR11には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE, REWRITEのいずれか1つが“H”になると、OR回路OR11の出力信号は、“H”となる。

【0464】AND回路AD11には、OR回路OR11の出力信号及び書き込みデータDATAが入力される。

【0465】OR回路OR11の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD11の出力信号は、“H”となる。一方、書き込みデータDATAが“0”であると、AND回路AD11の出力信号は、“L”となる。AND回路AD11の出力信号が“H”の場合には、NチャネルMOSトランジスタN4は、オン状態となり、AND回路AD11の出力信号が“L”の場合には、NチャネルMOSトランジスタN4は、オフ状態となる。

【0466】b. 書き込みビット線ドライバ/シンカー31

書き込みビット線ドライバ/シンカー31は、OR回路OR12, OR13, OR14、AND回路AD12, AD13、NAND回路ND3、インバート回路I5, I6、PチャネルMOSトランジスタP5及びNチャネルMOSトランジスタN5から構成される。

【0467】書き込みビット線ドライバは、OR回路OR12、NAND回路ND3及びPチャネルMOSトランジスタP5から構成される。OR回路OR12には、書き込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE, REWRITEのいずれか1つが“H”になると、OR回路OR12の出力信号は、“H”となる。

【0468】NAND回路ND2には、OR回路OR12の出力信号及び書き込みデータDATAが入力される。OR回路OR12の出力信号が“H”の場合、書き込みデータDATAが“1”であると、NAND回路ND3の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、NAND回路ND3の出力信号は、“H”となる。

【0469】NAND回路ND3の出力信号が“L”の場合には、PチャネルMOSトランジスタP5は、オン状態となり、NAND回路ND3の出力信号が“H”の場合には、PチャネルMOSトランジスタP5は、オフ状態となる。

【0470】書き込みビット線シンカーは、OR回路OR13, OR14、AND回路AD12, AD13、インバート回路I5, I6及びNチャネルMOSトランジスタN5から構成される。OR回路OR13には、書き

込み信号WRITE及び再書き込み信号REWRITEが入力される。これら2つの信号WRITE, REWRITEのいずれか1つが“H”になると、OR回路OR13の出力信号は、“H”となる。

【0471】書き込みデータDATAは、インバート回路I5に入力される。AND回路AD12には、OR回路OR13の出力信号及びインバート回路I5の出力信号が入力される。

【0472】OR回路OR13の出力信号が“H”の場合、書き込みデータDATAが“1”であると、AND回路AD12の出力信号は、“L”となる。一方、書き込みデータDATAが“0”であると、AND回路AD12の出力信号は、“H”となる。

【0473】AND回路AD13には、トライアル信号TRIALが入力される。トライアル信号TRIALは、読み出し動作（破壊読み出し動作）時において、選択されたTMR素子にいわゆる試行データを書き込むときに“H”となる信号である。AND回路AD13は、2つの入力端子を有し、一方には、トライアル信号TRIALが入力され、他方は、インバートI6の入力信号が“0”に固定されているため、常に“1”に固定される。

【0474】OR回路OR14の出力信号は、2つのAND回路AD12, AD13の出力信号のうちのいずれか一方が“H”のときに、“H”となる。即ち、2つの信号WRITE, REWRITEのうちの1つが“H”で、かつ、書き込みデータDATAが“0”のとき、OR回路OR14の出力信号は、“H”となる。OR回路OR14の出力信号が“H”になると、NチャネルMOSトランジスタN5は、オン状態となる。

【0475】トライアル信号TRIALが“H”になったときにも、OR回路OR14の出力信号は、“H”となり、かつ、NチャネルMOSトランジスタN5は、オン状態となる。つまり、試行データが“0”の場合には、書き込みビット線ドライバ/シンカー29から書き込みビット線ドライバ/シンカー31に向かう電流を、書き込み線26, 33に流す。

【0476】c. このように、図29の書き込みビット線ドライバ/シンカーでは、読み出し動作で、試行データをTMR素子に書き込む場合に、トライアル信号TRIALを“H”とし、書き込みビット線ドライバ/シンカー29から書き込みビット線ドライバ/シンカー31に向かう書き込み電流を、書き込み線26, 33に流している。

【0477】つまり、図28の例では、TMR素子に書き込む試行データが“1”であるのに対し、図29の例では、TMR素子に書き込む試行データが“0”となっている。

【0478】なお、通常の書き込み動作時には、信号WRITE, REWRITEのいずれか一方が

“H”となるため（トライアル信号TRIALは、“L”）、書き込みデータDATAの値（“1”又は“0”）に応じて、書き込み線26, 33に流れる書き込み電流の向きが決定される。

【0479】(8) 改良例3, 4を用いた読み出し動作原理

改良例3, 4の詳細な構成については、上述した通りである。以下では、改良例3, 4を用いた読み出し動作原理について説明する。

【0480】① 読み出し動作原理1

図31は、読み出し動作原理1を示す波形図である。この読み出し動作原理は、図2に示す読み出し動作原理に関する。但し、本例では、1回の読み出し動作が、5つのステップから構成される。即ち、本例では、2回目の読み出しステップと再書き込みステップの間に、読み出し結果を比較するステップを挿入している。

【0481】この読み出し動作原理を実行するに当たって使用する回路については、図17及び図18の改良例3では、図20に示す書き込みワード線ドライバ/シンカー、図21に示す読み出しワード線ドライバ、図23に示すカラムデコーダ、並びに、図28に示す書き込みビット線ドライバ/シンカー（試行データ“1”）とする。

【0482】また、図19の改良例4では、図20に示す書き込みワード線ドライバ/シンカー、図21に示す読み出しワード線ドライバ、図25に示す読み出しカラムデコーダ、図27に示す書き込みカラムデコーダ、並びに、図28に示す書き込みビット線ドライバ/シンカー（試行データ“1”）とする。

【0483】A. 第1ステップ

第1ステップでは、イニシャルデータの読み出しを行う（1回目の読み出し）。

【0484】このステップでは、読み出し信号READ1が“H”となる。

【0485】従って、改良例3の場合、カラムアドレス信号の全ビットが“1”となる選択されたカラムでは、カラム選択線信号CSLj（図23）が“H”となる。また、改良例4の場合、カラムアドレス信号の全ビットが“1”となるカラムにおいては、カラム選択線信号CSLj（図25）が“H”となる。

【0486】また、改良例3, 4では、上位ロウアドレス信号の全ビットが“1”となる読み出しワード線ドライバ23B（図21）の出力信号RWL0が“H”となる。この出力信号RWL0を受ける選択されたブロックBK内の読み出し選択スイッチRSWがオン状態になる。

【0487】また、センスアンプイネーブル信号が“H”となり、センスアンプが動作状態となる。その結果、図18の改良例3では、回路ブロック29内の読み出し回路内の電流源で発生した読み出し電流が、選択さ

れたブロックBK内の複数のTMR素子を經由して、接地点に流れる。図19の改良例4では、読み出し回路29B内の電流源で発生した読み出し電流が、選択されたブロックBK内の複数のTMR素子を經由して、接地点に流れる。

【0488】読み出し回路は、読み出し電流が流れている状態で、イニシャルデータの検出を行う。イニシャルデータは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。イニシャルデータは、センスアンプ内の記憶回路に記憶される。

【0489】B. 第2ステップ

第2ステップでは、選択されたTMR素子に対して、試行データの書き込みを行う。本例では、試行データは、“1”である。

【0490】このステップでは、トライアル信号TRIALが“H”となる。

【0491】従って、改良例3, 4の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャネルMOSトランジスタP6（図20）がオン状態となる。これに伴い、選択されたロウ内の書き込みワード線には、書き込み電流が流れる。

【0492】また、改良例3の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSLj（図23）が“H”となる。また、改良例4の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSLjk（図27）が“H”となる。

【0493】つまり、改良例3の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例4の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0494】また、図28の書き込みビット線ドライバ/シンカー29では、トライアル信号TRIALが“H”であるため、NチャネルMOSトランジスタN2がオン状態になる。図28の書き込みビット線ドライバ/シンカー31では、トライアル信号TRIALが“H”であるため、PチャネルMOSトランジスタP2がオン状態になる。

【0495】従って、図18の改良例3の場合には、選択されたカラム内の書き込み線26に書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が流れる。また、図19の改良例4の場合には、選択されたカラム内の選択された段内の書き込み線33に書き込みビット線ドライバ/シンカー31から書き込みビット線ドライバ/シンカー29に向かう書き込み電流が流れる。

【0496】その結果、選択されたTMR素子には、試行データ（“1”）が書き込まれる。この後、カラム選

択スイッチSW、SWBをオフ状態にし、書き込み電流を遮断する。また、選択されたロウ内の書き込みワード線に流れる書き込み電流についても遮断する。

【0497】C. 第3ステップ

第3ステップでは、比較データの読み出しを行う（2回目の読み出し）。

【0498】このステップでは、読み出し信号READ2が“H”となる。

【0499】従って、改良例3の場合、カラムアドレス信号の全ビットが“1”となる選択されたカラムでは、カラム選択線信号CSL_j（図23）が“H”となる。また、改良例4の場合、カラムアドレス信号の全ビットが“1”となるカラムにおいては、カラム選択線信号CSL_j（図25）が“H”となる。

【0500】また、改良例3、4では、上位ロウアドレス信号の全ビットが“1”となる読み出しワード線ドライバ23B（図21）の出力信号RWL0が“H”となる。この出力信号RWL0を受ける選択されたブロックBK内の読み出し選択スイッチRSWがオン状態になる。

【0501】また、センスアンブイネーブル信号が“H”となり、センスアンプが動作状態となる。その結果、図18の改良例3では、回路ブロック29内の読み出し回路内の電流源で発生した読み出し電流が、選択されたブロックBK内の複数のTMR素子を経由して、接地点に流れる。図19の改良例4では、読み出し回路29B内の電流源で発生した読み出し電流が、選択されたブロックBK内の複数のTMR素子を経由して、接地点に流れる。

【0502】読み出し回路は、読み出し電流が流れている状態で、比較データの検出を行う。比較データは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。

【0503】D. 第4ステップ

第4ステップでは、イニシャルデータと比較データを比較し、選択されたTMR素子のデータの値を判断する。

【0504】即ち、イニシャルデータと比較データが同じと判断された場合には、第2ステップの試行データの書き込みにより、選択されたTMR素子の抵抗値が変わらなかったことを意味するため、選択されたTMR素子のデータの値は、試行データの値と同じ値と判断される。

【0505】逆に、イニシャルデータと比較データが異なると判断された場合には、第2ステップの試行データの書き込みにより、選択されたTMR素子の抵抗値が変化したことを意味するため、選択されたTMR素子のデータの値は、試行データの値と逆の値を有すると判断される。

【0506】本例では、試行データが“1”であると仮定しているため、イニシャルデータと比較データが同じ

であれば、選択されたTMR素子のデータは、“1”であると判断され、イニシャルデータと比較データが異なれば、選択されたTMR素子のデータは、“0”であると判断される。

【0507】このようにして、選択されたTMR素子のデータの値が決定される。

【0508】なお、第4ステップは、トリガ信号に基づいて、2回の読み出し結果の比較を実行する。ここで、本例では、カラム選択線信号及びセンスアンブイネーブル信号は、トリガ信号が“H”となる直前に、“L”とされる。

【0509】但し、図32の波形図に示すように、カラム選択線信号及びセンスアンブイネーブル信号については、第3ステップから第4ステップにわたって、“H”レベルを維持するようにしてもよい。

【0510】ところで、第4ステップを実行するための回路、即ち、読み出し回路（センスアンプを含む）の具体的な構成については、後に詳述する。

【0511】E. 第5ステップ

第5ステップでは、選択されたTMR素子に対して、データの再書き込みを行う。本例の読み出し動作原理では、第2ステップにおいて、試行データが、選択されたTMR素子に書き込まれる。つまり、この時、選択されたTMR素子のデータは、破壊されることになる。

【0512】従って、選択されたTMR素子のデータの値を判断した後、選択されたTMR素子に対して、データの再書き込みを行う。

【0513】このステップでは、再書き込み信号REWRITEが“H”となる。

【0514】従って、改良例1、2の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャネルMOSトランジスタP6（図20）がオン状態となる。これに伴い、選択されたロウ内の書き込みワード線には、書き込み電流が流れる。

【0515】また、改良例3の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSL_j（図23）が“H”となる。また、改良例4の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSL_jk（図27）が“H”となる。

【0516】つまり、改良例3の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例4の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0517】また、図28の書き込みビット線ドライバ／シンカー29では、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSトランジスタP2、N2のオン／オフ状態

が決定される。図28の書き込みビット線ドライバ/シンカー31においても、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSトランジスタP3、N3のオン/オフ状態が決定される。

【0518】従って、図18の改良例3の場合には、選択されたカラム内の書き込み線26に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ/シンカー29側へ、又は、書き込みビット線ドライバ/シンカー31側へ向かう書き込み電流が流れる。

【0519】また、図19の改良例4の場合には、選択されたカラム内の選択された段内の書き込み線33に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ/シンカー29側へ、又は、書き込みビット線ドライバ/シンカー31側へ向かう書き込み電流が流れる。

【0520】その結果、選択されたTMR素子には、上述の読み出し動作を実行する前にそのTMR素子が記憶していたデータ(“1”又は“0”)が再書き込みされる。この後、カラム選択スイッチSW、SWBをオフ状態にし、書き込み電流を遮断する。また、選択されたロウ内の書き込みワード線に流れる書き込み電流についても遮断する。

【0521】なお、第4ステップにおいてイニシャルデータと比較データが同じであると判断された場合、選択されたTMR素子に記憶されていたデータと試行データとは、同じ値を有することになる。従って、この場合には、第5ステップを省略してもよい。

【0522】即ち、第4ステップにおいてイニシャルデータと比較データが異なると判断された場合のみ、第5ステップにおいて、選択されたTMR素子に、試行データの値と逆の値を有するデータを再書き込みすればよい。

【0523】以上、改良例3、4に関わる磁気ランダムアクセスメモリでは、いわゆる破壊読み出し動作原理を採用し、これを実際に行うことができる。従って、読み出し時における複数のTMR素子の間の抵抗値のばらつきによらず、選択されたTMR素子の抵抗値(又はMR比)を正確に読み出すことができる。

【0524】② 読み出し動作原理2

図33は、読み出し動作原理2を示す波形図である。この読み出し動作原理は、上述の読み出し動作原理1の改良例である。この読み出し動作原理の特徴は、試行データの書き込みステップ、比較データの読み出しステップ(2回目の読み出しステップ)及び読み出し結果を比較してTMR素子のデータを判断するステップを、1つのステップにまとめた点にある。

【0525】従って、本例では、1回の読み出し動作が3つのステップから構成される。本例の読み出し動作原理は、図31又は図32の読み出し動作原理の第2乃至

第4ステップを1つのステップにしたものである。

【0526】この読み出し動作原理を実行するに当たって使用する回路については、図17及び図18の改良例3では、図20に示す書き込みワード線ドライバ/シンカー、図22に示す読み出しワード線ドライバ、図24に示すカラムデコーダ、並びに、図28に示す書き込みビット線ドライバ/シンカー(試行データ“1”)とする。

【0527】また、図19の改良例4では、図20に示す書き込みワード線ドライバ/シンカー、図22に示す読み出しワード線ドライバ、図26に示す読み出しカラムデコーダ、図27に示す書き込みカラムデコーダ、並びに、図28に示す書き込みビット線ドライバ/シンカー(試行データ“1”)とする。

【0528】A. 第1ステップ

第1ステップでは、イニシャルデータの読み出しを行う(1回目の読み出し)。

【0529】このステップでは、読み出し信号READが“H”となる。

【0530】従って、改良例3の場合、カラムアドレス信号の全ビットが“1”となる選択されたカラムでは、カラム選択線信号CSLj(図24)が“H”となる。また、改良例4の場合、上位カラムアドレス信号の全ビットが“1”となるカラムにおいては、カラム選択線信号CSLjk(図26)が“H”となる。

【0531】また、改良例3、4では、上位ロウアドレス信号の全ビットが“1”となる読み出しワード線ドライバ23B(図22)の出力信号RWL0が“H”となる。この出力信号RWL0を受ける選択されたブロックBK内の読み出し選択スイッチRSWがオン状態になる。

【0532】また、センスアンプイネーブル信号が“H”となり、センスアンプが動作状態となる。その結果、図18の改良例3では、回路ブロック29内の読み出し回路内の電流源で発生した読み出し電流が、選択されたブロックBK内の複数のTMR素子を経由して、接地点に流れる。図19の改良例4では、読み出し回路29B内の電流源で発生した読み出し電流が、選択されたブロックBK内の複数のTMR素子を経由して、接地点に流れる。

【0533】読み出し回路は、読み出し電流が流れている状態で、イニシャルデータの検出を行う。イニシャルデータは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。イニシャルデータは、センスアンプ内の記憶回路に記憶される。

【0534】B. 第2ステップ

第2ステップでは、以下の3つの事項を同時又は時間的に平行して行う。

・ 選択されたTMR素子に対する試行データの書き込

- ・ 比較データの読み出し（2回目の読み出し）
- ・ 2回の読み出し結果の比較（TMR素子のデータ値の判定）

このステップでは、トライアル信号TRIALが“H”となる。

【0535】従って、改良例3、4の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャネルMOSトランジスタP6（図20）がオン状態となる。これに伴い、選択されたロウ内の書き込みワード線には、書き込み電流が流れる。

【0536】また、改良例3の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSLj（図24）が“H”となる。また、改良例4の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSLjk（図27）が“H”となる。

【0537】つまり、改良例3の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例4の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0538】また、図28の書き込みビット線ドライバ／シンカー29では、トライアル信号TRIALが“H”であるため、NチャネルMOSトランジスタN2がオン状態になる。図28の書き込みビット線ドライバ／シンカー31では、トライアル信号TRIALが“H”であるため、PチャネルMOSトランジスタP2がオン状態になる。

【0539】従って、図18の改良例3の場合には、選択されたカラム内の書き込み線26に書き込みビット線ドライバ／シンカー31から書き込みビット線ドライバ／シンカー29に向かう書き込み電流が流れる。また、図19の改良例4の場合には、選択されたカラム内の選択された段内の書き込み線33に書き込みビット線ドライバ／シンカー31から書き込みビット線ドライバ／シンカー29に向かう書き込み電流が流れる。

【0540】その結果、選択されたTMR素子に対して、試行データ（“1”）の書き込みが実行される。

【0541】このような試行データの書き込みと同時に、比較データの読み出し（2回目の読み出し）が実行される。

【0542】即ち、トライアル信号TRIALが“H”のとき、改良例3では、カラムアドレス信号の全ビットが“1”となる選択されたカラムのカラム選択線信号CSLj（図24）が“H”となる。また、改良例4では、カラムアドレス信号の全ビットが“1”となるカラムのカラム選択線信号CSLj（図26）が“H”となる。

【0543】また、改良例3、4では、上位ロウアドレ

ス信号の全ビットが“1”となる読み出しワード線ドライバ23B（図22）の出力信号RWLOが“H”となる。この出力信号RWLOを受ける選択されたブロックBK内の読み出し選択スイッチRSWがオン状態になる。

【0544】また、センスアンブイネーブル信号が“H”となり、センスアンプが動作状態となる。その結果、図18の改良例3では、回路ブロック29内の読み出し回路により、比較データが検出される。また、図19の改良例4では、読み出し回路29Bにより、比較データが検出される。比較データは、選択されたカラムを構成する並列接続された複数のTMR素子の合成抵抗に依存する。

【0545】読み出し回路により検出された比較データは、直ちに、イニシャルデータと比較され、選択されたTMR素子のデータの値が判断される。

【0546】即ち、イニシャルデータと比較データが同じと判断された場合には、試行データの書き込みにより、選択されたTMR素子の抵抗値が変わらなかったことを意味するため、選択されたTMR素子のデータの値は、試行データの値と同じ値と判断される。

【0547】逆に、イニシャルデータと比較データが異なると判断された場合には、試行データの書き込みにより、選択されたTMR素子の抵抗値が変化したことを意味するため、選択されたTMR素子のデータの値は、試行データの値と逆の値を有すると判断される。

【0548】本例では、試行データが“1”であると仮定しているため、イニシャルデータと比較データが同じであれば、選択されたTMR素子のデータは、“1”であると判断され、イニシャルデータと比較データが異なれば、選択されたTMR素子のデータは、“0”であると判断される。

【0549】このようにして、選択されたTMR素子のデータの値が決定される。

【0550】C. 第3ステップ

第3ステップでは、選択されたTMR素子に対して、データの再書き込みを行う。本例の読み出し動作原理では、第2ステップにおいて、試行データが、選択されたTMR素子に書き込まれる。つまり、この時、選択されたTMR素子のデータは、破壊される。

【0551】従って、選択されたTMR素子のデータの値を判断した後、選択されたTMR素子に対して、データの再書き込みを行う。

【0552】このステップでは、再書き込み信号REWRITEが“H”となる。

【0553】従って、改良例3、4の場合、ロウアドレス信号の全ビットが“1”となる選択されたロウでは、書き込みワード線ドライバ内のPチャネルMOSトランジスタP6（図20）がオン状態となる。これに伴い、選択されたロウ内の書き込みワード線には、書き込み電

流が流れる。

【0554】また、改良例3の場合、カラムアドレス信号の全ビットが“1”となるカラムでは、カラム選択線信号CSL_j (図24)が“H”となる。また、改良例4の場合、上位カラムアドレス信号の全ビットが“1”となるカラムであって、下位カラムアドレス信号の全ビットが“1”となる段においては、カラム選択線信号CSL_jk (図27)が“H”となる。

【0555】つまり、改良例3の場合、選択されたカラム内のカラム選択スイッチSWがオン状態となり、改良例4の場合、選択されたカラム内の選択された段に対応するカラム選択スイッチSWBがオン状態になる。

【0556】また、図28の書き込みビット線ドライバ/シンカー29では、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSTランジスタP2、N2のオン/オフ状態が決定される。図28の書き込みビット線ドライバ/シンカー31においても、再書き込み信号REWRITEが“H”であるため、再書き込みデータDATAの値に応じて、MOSTランジスタP3、N3のオン/オフ状態が決定される。

【0557】従って、図18の改良例3の場合には、選択されたカラム内の書き込み線26に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ/シンカー29側へ、又は、書き込みビット線ドライバ/シンカー31側へ向かう書き込み電流が流れる。

【0558】また、図19の改良例4の場合には、選択されたカラム内の選択された段内の書き込み線33に、再書き込みデータDATAの値に応じて、書き込みビット線ドライバ/シンカー29側へ、又は、書き込みビット線ドライバ/シンカー31側へ向かう書き込み電流が流れる。

【0559】その結果、選択されたTMR素子には、読み出し動作を実行する前にそのTMR素子が記憶していたデータ (“1”又は“0”) が再書き込みされる。この後、カラム選択スイッチSW、SWBをオフ状態にし、書き込み電流を遮断する。また、選択されたロウ内の書き込みワード線に流れる書き込み電流についても遮断する。

【0560】なお、第2ステップにおいてイニシャルデータと比較データが同じであると判断された場合、選択されたTMR素子に記憶されていたデータと試行データとは、同じ値を有することになる。従って、この場合には、第3ステップを省略してもよい。

【0561】即ち、第2ステップにおいてイニシャルデータと比較データが異なると判断された場合のみ、第3ステップにおいて、選択されたTMR素子に、試行データの値と逆の値を有するデータを再書き込みすればよい。

【0562】以上、改良例3、4に関わる磁気ランダム

アクセスメモリでは、改良された破壊読み出し動作原理を採用し、これを実際に行うことができる。従って、読み出し時における複数のTMR素子の間の抵抗値のばらつきによらず、選択されたTMR素子の抵抗値(又はMR比)を正確に読み出すことができる。

【0563】(9) 改良例5

図34は、本発明の改良例5としての磁気ランダムアクセスメモリの主要部を示している。図35は、図34の磁気ランダムアクセスメモリに関して1カラム分のみを示している。

【0564】この改良例5に関わる磁気ランダムアクセスメモリは、改良例1の磁気ランダムアクセスメモリの変形例である。改良例5は、改良例1と比べると、カラム内にY方向に延びる書き込みのためのみの書き込み線33を新規に設けた点に特徴を有する。

【0565】これに伴い、改良例5は、改良例1と比べ、メモリセルアレイや周辺回路の構成についても特徴を有する。

【0566】メモリセルアレイ11は、X方向及びY方向にアレイ状に配置される複数のTMR素子12を有する。X方向に配置されるTMR素子12の近傍には、X方向に延びる複数本(本例では、12本)の書き込みワード線WL0、WL1、・・・WL11が配置される。書き込みワード線WL0、WL1、・・・WL11の一端は、書き込みワード線ドライバ23に接続され、その他端は、書き込みワード線シンカー24に接続される。

【0567】ロウデコード25は、書き込み動作時、ロウアドレス信号に基づいて、書き込みワード線WL0、WL1、・・・WL11のうちの1本を選択する。書き込みワード線ドライバ23は、選択された書き込みワード線に書き込み電流を供給する。書き込み電流は、選択されたワード線の流れ、書き込みワード線シンカー24に吸収される。

【0568】Y方向に配置されるTMR素子12は、読み出し線(読み出しビット線)26と接地点との間に並列に接続される。

【0569】読み出し線26の一端は、カラム選択スイッチ(MOSTランジスタ)SWAを経由して、共通データ線28に接続される。共通データ線28は、読み出し回路(センスアンプを含む)29Bに接続される。

【0570】カラム選択スイッチSWAのゲートは、読み出しカラムデコード32Aに接続される。読み出しカラムデコード32Aは、読み出し動作時に、カラムを選択するためのカラム選択線信号RCSL_jを出力する。

【0571】カラム内には、Y方向に延びる書き込み線(書き込みビット線)33が配置される。書き込み線33は、カラム内の複数のTMR素子12の近傍に配置される。書き込み線33の一端は、カラム選択スイッチ(MOSTランジスタ)SWBを経由して、共通ドライバ線30Aに接続される。共通ドライバ線30Aは、書

き込みビット線ドライバ／シンカーを含む回路ブロック 29Aに接続される。

【0572】書き込み線 33 の他端は、カラム選択スイッチ (MOS トランジスタ) SWB を経由して、共通ドライバ線 30B に接続される。共通ドライバ線 30B は、書き込みビット線ドライバ／シンカーを含む回路ブロック 31 に接続される。

【0573】カラム選択スイッチ SWB のゲートは、書き込みカラムデコード 32B に接続される。書き込みカラムデコード 32B は、書き込み動作時に、カラムを選択するためのカラム選択線信号 WCSLj を出力する。

【0574】本例の磁気ランダムアクセスメモリでは、書き込み動作時、選択された書き込みワード線には、書き込みワード線ドライバ 23 から書き込みワード線シンカー 24 に向かう書き込み電流が流れる。また、選択されたカラムにおいては、カラム選択スイッチ SWB がオン状態となり、書き込み線 (書き込みビット線) 33 に書き込み電流が流れる。書き込み線 33 に流れる書き込み電流の向きは、書き込みデータの値に応じて変わる。

【0575】読み出し動作時、選択されたカラムにおいては、カラム選択スイッチ SWA がオン状態となり、読み出し回路 29B から、読み出し線 (読み出しビット線) 26 及び複数の TMR 素子 12 を経由して、接地点に読み出し電流が流れる。読み出し回路 29B は、読み出し電流が流れている間、複数の TMR 素子の合成抵抗に応じた読み出しデータを検出する。

【0576】(10) 改良例 6

図 36 は、本発明の改良例 6 としての磁気ランダムアクセスメモリの主要部を示している。図 37 は、図 36 の磁気ランダムアクセスメモリに関して 1 カラム分のみを示している。

【0577】この改良例 6 に関わる磁気ランダムアクセスメモリは、改良例 3 に関わる磁気ランダムアクセスメモリの変形例である。改良例 6 は、改良例 3 と比べると、カラム内に Y 方向に延びる書き込みのためのみの書き込み線 33 を新規に設けた点に特徴を有する。

【0578】これに伴い、改良例 6 は、改良例 3 と比べ、メモリアルレイや周辺回路の構成についても特徴を有する。

【0579】メモリアルレイ 11 は、X 方向及び Y 方向にアレイ状に配置される複数の TMR 素子 12 を有する。X 方向に配置される TMR 素子 12 の近傍には、X 方向に延びる複数本 (本例では、12 本) の書き込みワード線 WWL0, WWL1, … WWL11 が配置される。書き込みワード線 WWL0, WWL1, … WWL11 の一端は、書き込みワード線ドライバ 23A に接続され、その他端は、書き込みワード線シンカー 24 に接続される。

【0580】本例では、1つのカラムは、3つのブロック BK から構成される。1つのカラムは、Y 方向に配置

される 12 個の TMR 素子 12 から構成されるため、1つのブロック BK は、4つの TMR 素子 12 から構成される。

【0581】1つのブロック BK 内の TMR 素子 12 は、互いに並列接続され、その一端は、読み出し線 (読み出しビット線) 26 に接続される。また、TMR 素子の他端は、読み出し選択スイッチ (MOS トランジスタ) RSW を経由して、接地点に接続される。

【0582】読み出し線 26 の一端は、カラム選択スイッチ (MOS トランジスタ) SWA を経由して、共通データ線 28 に接続される。共通データ線 28 は、読み出し回路 (センスアンプを含む) 29B に接続される。

【0583】カラム選択スイッチ SWA のゲートは、読み出しカラムデコード 32A に接続される。読み出しカラムデコード 32A は、読み出し動作時に、カラムを選択するためのカラム選択線信号 RCSLj を出力する。

【0584】読み出し選択スイッチ RSW のゲートは、読み出しワード線 RWL_o (o=0, 1, 2) に接続される。読み出しワード線ドライバ 23B は、読み出し動作時に、上位ロウアドレス信号に基づいて、ブロック BK を選択するためのブロック選択信号を出力する。

【0585】1つの読み出しワード線 RWL_o は、1つのカラム内の 1つのブロック BK に対応し、かつ、X 方向の複数のブロックに共通となっている。

【0586】本例では、1つのカラムが 3つのブロックから構成されるため、読み出しワード線 RWL_o の数は、3本となっている。読み出しワード線 RWL_o は、X 方向に延び、その一端は、読み出しワード線ドライバ 23B に接続される。

【0587】ロウデコード 25 は、書き込み動作時、ロウアドレス信号に基づいて、書き込みワード線 WWL0, WWL1, … WWL11 のうちの 1本を選択する。

【0588】書き込みワード線ドライバ 23A は、選択された書き込みワード線に書き込み電流を供給する。書き込み電流は、選択されたワード線を流れ、書き込みワード線シンカー 24 に吸収される。

【0589】ロウデコード 25 は、読み出し動作時、例えば、上位ロウアドレス信号に基づいて、1つのブロックを選択する。

【0590】読み出しワード線ドライバ 23B は、選択されたブロック BK に接続される読み出しワード線 RWL_o に読み出しワード線電圧を供給する。選択されたブロック BK では、読み出し選択スイッチ RSW がオン状態となるため、読み出し電流は、選択されたブロック BK 内の複数の TMR 素子を経由して、接地点に向かって流れる。

【0591】カラム内には、Y 方向に延びる書き込み線 (書き込みビット線) 33 が配置される。書き込み線 33 は、カラム内の複数の TMR 素子 12 の近傍に配置さ

れる。また、書き込み線33は、1カラム内の複数のブロックBKに共通になっている。

【0592】書き込み線33の一端は、カラム選択スイッチ(MOSトランジスタ)SWBを経由して、共通ドライバ線30Aに接続される。共通ドライバ線30Aは、書き込みビット線ドライバ/シンカーを含む回路ブロック29Aに接続される。

【0593】書き込み線33の他端は、カラム選択スイッチ(MOSトランジスタ)SWBを経由して、共通ドライバ線30Bに接続される。共通ドライバ線30Bは、書き込みビット線ドライバ/シンカーを含む回路ブロック31に接続される。

【0594】カラム選択スイッチSWBのゲートは、書き込みカラムデコード32Bに接続される。書き込みカラムデコード32Bは、書き込み動作時に、カラムを選択するためのカラム選択線信号WC SLjを出力する。

【0595】本例の磁気ランダムアクセスメモリでは、書き込み動作時、選択された書き込みワード線には、書き込みワード線ドライバ23Aから書き込みワード線シンカー24に向かう書き込み電流が流れる。また、選択されたカラムにおいては、書き込み線(書き込みビット線)33に書き込み電流が流れる。書き込み線33に流れる書き込み電流の向きは、書き込みデータの値に応じて変わる。

【0596】読み出し動作時、選択されたカラム内の選択されたブロックにおいては、読み出し回路29Bから、読み出し線(読み出しビット線)26及び複数のTMR素子12を経由して、接地点に読み出し電流が流れる。読み出し回路29Bは、読み出し電流が流れている間、選択されたブロック内の複数のTMR素子の合成抵抗に応じた読み出しデータを検出する。

【0597】(11) 改良例5, 6の周辺回路の例

① 書き込みワード線ドライバ/シンカー

改良例5, 6では、例えば、図6に示す回路を、書き込みワード線ドライバ/シンカーとして用いることができる。

【0598】② 書き込みビット線ドライバ/シンカー
改良例5, 6では、例えば、図12、図13に示す回路を、書き込みビット線ドライバ/シンカーとして用いることができる。

【0599】③ 読み出し/書き込みカラムデコード
改良例5, 6の読み出し/書き込みカラムデコード32A, 32Bの回路例について説明する。

【0600】図38は、読み出しカラムデコードの一例を示している。

【0601】読み出しカラムデコード32Aは、OR回路OR3、AND回路AD2から構成される。OR回路OR3には、読み出し信号READ1, READ2が入力される。

【0602】読み出し信号READ1, READ2は、

読み出し動作(破壊読み出し動作)時において、選択されたカラムを構成する複数のTMR素子の合成抵抗の値を読み出すときに“H”となる信号である。通常の破壊読み出し動作原理では、2回の読み出し動作が必要となる。即ち、読み出し信号READ1は、1回目の読み出し時に“H”となり、読み出し信号READ2は、2回目の読み出し時に“H”となる。

【0603】これら2つの信号READ1, READ2のいずれか1つが“H”になると、OR回路OR3の出力信号は、“H”となる。

【0604】AND回路AD2には、OR回路OR3の出力信号及びカラムアドレス信号(カラムjを指定する)が入力される。カラムj(ビット線BLj)を選択するとき、カラムアドレス信号(カラムjを指定する)の全てのビットは、“H”となる。従って、カラムjが選択され、かつ、2つの信号READ1, READ2のいずれか1つが“H”のとき、AND回路AD2の出力信号は、“H”となる。

【0605】AND回路AD2の出力信号が“H”、即ち、カラム選択線信号RCSLjが“H”となると、図35及び図37のカラム選択スイッチ(NチャネルMOSトランジスタ)SWAがオン状態となる。このため、読み出し動作時には、読み出し電流が、選択されたカラム内の複数のTMR素子に流れる。

【0606】図39は、読み出しカラムデコードの他の例を示している。

【0607】図39の読み出しカラムデコード32Aは、図38の読み出しカラムデコード32Aと比べると、読み出し信号READ1, READ2がなくなり、その代わりに、読み出し信号READ及びトライアル信号TRIALが追加された点に特徴を有する。

【0608】図40は、書き込みカラムデコードの一例を示している。

【0609】書き込みカラムデコード32Bは、OR回路OR4、AND回路AD3から構成される。OR回路OR4には、書き込み信号WRITE、トライアル信号TRIAL及び再書き込み信号REWRITEが入力される。これら3つの信号WRITE, TRIAL, REWRITEのいずれか1つが“H”になると、OR回路OR4の出力信号は、“H”となる。

【0610】AND回路AD3には、OR回路OR4の出力信号及びカラムアドレス信号(カラムjを指定する)が入力される。カラムアドレス信号によりカラムjが選択され、かつ、3つの信号WRITE, TRIAL, REWRITEのいずれか1つが“H”のとき、AND回路AD3の出力信号は、“H”となる。

【0611】AND回路AD3の出力信号が“H”、即ち、カラム選択線信号WC SLjが“H”となると、図35及び図37のカラム選択スイッチ(NチャネルMOSトランジスタ)SWBがオン状態となる。このため、

書き込み動作時には、書き込み電流が、図 35 及び図 37 の書き込み線 33 に流れる。

【0612】(12) 改良例 5, 6 を用いた読み出し動作原理

① 改良例 5 を用いた読み出し動作原理

改良例 5 には、改良例 2 の磁気ランダムアクセスメモリとほぼ同様の読み出し動作原理を適用できる。即ち、改良例 5 には、通常の破壊読み出し動作（図 14 及び図 15）及び改良された破壊読み出し動作（図 16）を、それぞれ適用することができる。

【0613】改良例 2 と改良例 5 のアレイ構造の違いは、1 カラム内の複数の TMR 素子 12 が Y 方向（横方向）に並んでいるか、又は、Z 方向（縦方向）に並んでいるか、にある。その結果、改良例 2 では、1 つのカラム内に複数本の書き込みビット線が配置されるのに対し、改良例 5 では、1 つのカラム内に 1 本の書き込みビット線が配置される。

【0614】従って、読み出し動作に関して、改良例 5 は、改良例 2 と比べ、書き込みカラムデコードの動作が異なる。

【0615】② 改良例 6 を用いた読み出し動作原理
改良例 6 には、改良例 4 の磁気ランダムアクセスメモリとほぼ同様の読み出し動作原理を適用できる。即ち、改良例 6 には、通常の破壊読み出し動作（図 31 及び図 32）及び改良された破壊読み出し動作（図 33）を、それぞれ適用することができる。

【0616】改良例 4 と改良例 6 のアレイ構造の違いは、1 ブロック内の複数の TMR 素子 12 が Y 方向（横方向）に並んでいるか、又は、Z 方向（縦方向）に並んでいるか、にある。その結果、改良例 4 では、1 つのカラム内に複数本の書き込みビット線が配置されるのに対し、改良例 6 では、1 つのカラム内に 1 本の書き込みビット線が配置される。

【0617】従って、読み出し動作に関して、改良例 6 は、改良例 4 と比べ、書き込みカラムデコードの動作が異なる。

【0618】(13) 改良例 5, 6 のデバイス構造の例
図 41 は、改良例 6 のデバイス構造の一例を示している。本例では、改良例 6 の 1 カラム内の 1 ブロックのデバイス構造を表している。

【0619】複数の TMR 素子は、Y 方向に配置され、読み出し線（上部配線）26 と下部配線 34 の間に並列に接続される。下部配線 34 は、読み出し選択スイッチ RSW を経由して、ソース線 35 に接続される。

【0620】読み出し選択スイッチ RSW は、TMR 素子の直下に配置される。読み出しワード線 RWL₀ 及びソース線 35 は、共に、X 方向（紙面に垂直な方向）に延びている。ソース線 35 は、接地点に接続される。

【0621】複数の TMR 素子上には、Y 方向に延びる書き込みビット線 33 が配置される。書き込みビット線

33 は、複数の TMR 素子に共通になっている。各 TMR 素子の直下には、X 方向に延びる書き込みワード線 WL₀, WWL₁, WWL₂, WWL₃ が配置される。

【0622】なお、図 41 において、読み出し選択スイッチ RSW をなくし、下部配線 34 を、直接、接地点に接続し、さらに、TMR 素子及び書き込みワード線の数を増やせば、改良例 5 のデバイス構造を得ることができる。

【0623】3. 読み出し回路

10 以上、磁気ランダムアクセスメモリに関して、参考例、改良例 1～6、周辺回路（読み出し回路を除く）及び読み出し動作原理について、それぞれ詳細に説明した。以下では、参考例及び改良例 1～6 のいずれにも適用でき、かつ、上述の破壊読み出し原理 1, 2 を実現できる読み出し回路（センスアンプを含む）の具体例及びその動作について説明する。

【0624】(1) 回路例 1

図 42 は、磁気ランダムアクセスメモリの読み出し回路の回路例 1 を示している。複数の TMR 素子は、互いに並列接続され、その一端は、接地点に接続され、その他端は、カラム選択スイッチとしての N チャネル MOS トランジスタ N7 (SW) を経由して、ノード n1 に接続される。図示する TMR 素子のグループは、参考例、改良例 1, 2, 5 では、1 カラム分に相当し、改良例 3, 4, 6 では、1 カラム内の 1 ブロック分に相当する。

【0625】ノード n1 の電位は、クランプ回路によりクランプ電位 V_{clamp} に設定される。クランプ回路は、オペアンプ OP1 と N チャネル MOS トランジスタ N8 とから構成される。

30 【0626】N チャネル MOS トランジスタ N8 は、ノード n1 とカレントミラー回路 M1 との間に配置される。オペアンプ OP1 は、例えば、ノード n1 の電位がクランプ電位 V_{clamp} に等しくなるように、N チャネル MOS トランジスタ N8 のゲート電位を制御する。

【0627】クランプ回路の役割は、1 カラム内又は 1 ブロック内の TMR 素子の両端の間の電圧を調整することにある。

【0628】即ち、例えば、TMR 素子の一端に接地電位が与えられている場合に、TMR 素子の他端の電位が大きくなり過ぎると、TMR 素子の MR 比が小さくなる。TMR 素子の MR 比が小さいということは、“1” 状態の TMR 素子の抵抗値と “0” 状態の TMR 素子の抵抗値との差が小さいことを意味する。つまり、読み出し時の “1”、“0” 判定のためのマージンが小さくなる。

【0629】これを防ぐため、本例では、クランプ回路を用いて、TMR 素子の他端の電位、即ち、TMR 素子の両端の間の電圧を調整し、TMR 素子の MR 比が小さくならないようにする。

50 【0630】カレントミラー回路 M1 は、複数の TMR

素子に流れる読み出し電流の合計値に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。この時のノードn2の電位（例えば、イニシャルデータ）は、トランスファゲート回路TG1により、記憶回路43に記憶される。

【0631】トランスファゲート回路TG1のオン/オフは、制御信号READ1S、bREAD1Sにより制御される。制御信号READ1Sは、1回目の読み出し動作時（イニシャルデータの読み出し時）に“H”となる信号である。なお、制御信号bREAD1Sは、制御信号READ1Sの値と逆の値を有する反転信号である。

【0632】制御信号READ1Sが“H”の時（1回目の読み出し動作時）、ノードn2の電位は、トランスファゲート回路TG1を経由して、インバータ回路I7に入力される。インバータ回路I7の出力信号は、オペアンプOP2のマイナス側入力端子に入力される。オペアンプOP2の出力信号は、インバータ回路I8に入力され、インバータ回路I8の出力信号は、オペアンプOP2のプラス側入力端子に入力される。

【0633】オペアンプOP2は、そのマイナス側入力端子に入力される入力電位とそのプラス側入力端子に入力される入力電位とが互いに等しくなるように、例えば、インバータ回路I8内のNチャネルMOSトランジスタのゲート電位を制御する。従って、結果として、オペアンプOP2の出力信号を受けるインバータ回路I8に流れる電流が、イニシャルデータ（セルデータ）となる。

【0634】トランスファゲート回路TG2は、オペアンプOP2の出力端子とインバータ回路I7の入力端子との間に接続される。1回目の読み出し動作が終わると、制御信号READ1Sは、“L”となり、制御信号bREAD1Sは、“H”となる。その結果、イニシャルデータは、記憶回路43内にラッチされる。

【0635】センスアンプSAのプラス側入力端子は、ノードn2に接続され、そのマイナス側入力端子は、オペアンプOP2の出力端子n3に接続される。選択されたTMR素子のデータを判定するとき、センスアンプSAは、ノードn2の電位とオペアンプOP2の出力端子n3の電位とを比較する。

【0636】即ち、ノードn1の電位は、2回目の読み出し結果（比較データ）を表し、オペアンプOP2の出力端子n3の電位は、1回目読み出し結果（イニシャルデータ）を表している。

【0637】(2) 回路例2

図43は、磁気ランダムアクセスメモリの読み出し回路の回路例2を示している。この回路例2は、回路例1の変形例である。回路例2は、回路例1と比較すると、記憶回路43に特徴を有する。即ち、回路例1では、記憶回路43は、2つのインバータ回路I7、I8とオペア

ンプOP2を有していたが、回路例2では、記憶回路43は、オペアンプを有しておらず、4つのインバータ回路I9、I9'、I10、I11を有している。

【0638】即ち、回路例2では、オペアンプを用いることなく、カレントミラー回路を用いて、記憶回路43にイニシャルデータをラッチしている。

【0639】例えば、1回目の読み出し動作時（イニシャルデータの読み出し時）、制御信号READ1Sは、“H”となるため、ノードn1の電位（イニシャルデータ）は、4つのインバータ回路I9、I9'、I10、I11からなる記憶回路43に転送される。1回目の読み出し動作が終わると、制御信号READ1Sは、“L”となり、制御信号bREAD1Sは、“H”となるため、イニシャルデータは、記憶回路43内にラッチされる。

【0640】(3) 回路例3

図44は、磁気ランダムアクセスメモリの読み出し回路の回路例3を示している。この回路例3も、回路例1の変形例であり、回路例1と比較すると、記憶回路43に特徴を有する。即ち、回路例3では、記憶回路43は、キャパシタC1から構成される。

【0641】本例では、例えば、ノードn2の電位（イニシャルデータ）をキャパシタC1にダイナミックに記憶する。このため、例えば、1回目の読み出しから2回目の読み出しまでの期間を、キャパシタC1がデータを保持し続ける期間よりも短くする必要がある。

【0642】キャパシタC1がデータを保持し続ける期間は、DRAM（ダイナミックランダムアクセスメモリ）の分野で十分に研究されているように、例えば、数m秒である。従って、1回目の読み出しから2回目の読み出しまでの期間を数m秒よりも短くすれば、記憶回路43にキャパシタC1を使用することもできる。

【0643】(4) センスアンプの具体例

回路例1、2、3に使用されるセンスアンプSAの具体例について述べる。センスアンプSAの構成は、破壊読み出し動作時に、選択されたTMR素子に書き込む試行データの値によって決定される。

【0644】① 試行データが“1”の場合

図45は、試行データが“1”の場合のセンスアンプの一例を示している。センスアンプSAは、例えば、3つの差動アンプDI1、DI2、DI3とNAND回路ND5とから構成される。

【0645】初段の差動アンプDI1は、図42乃至図44のノードn2の電位（例えば、比較データ）とノードn3の電位（例えば、イニシャルデータ）とを比較する。差動アンプDI1は、2つの入力電位に基づいて、2つの出力電位を出力する。差動アンプDI1の2つの出力電位の差は、2つの入力電位の差に基づいて決定される。

【0646】差動アンプDI2のプラス側入力端子に

は、ノードn2の電位に基づく電位が入力され、そのマイナス側入力端子には、基準電位VrefHが入力される。差動アンプDI2は、プラス側入力端子に入力される電位が基準電位VrefHよりも大きいときは、“H”を出力し、それよりも小さいときは、“L”を出力する。

【0647】差動アンプDI3のマイナス側入力端子には、ノードn3の電位に基づく電位が入力され、そのプラス側入力端子には、基準電位VrefLが入力される。差動アンプDI3は、マイナス側入力端子に入力される電位が基準電位VrefLよりも小さいときは、“H”を出力し、それよりも大きいときは、“L”を出力する。

【0648】例えば、選択されたTMR素子のデータが“0”、試行データが“1”のときには、2回目の読み出し動作で読み出された比較データ、即ち、ノードn2の電位は、1回目の読み出し動作で読み出されたイニシャルデータ、即ち、ノードn3の電位よりも高くなる。

【0649】この時、差動アンプDI2のプラス側入力端子に入力される電位は、そのマイナス側入力端子に入力される基準電位VrefHよりも高くなるため、差動アンプDI2の出力信号は、“H”となる。また、差動アンプDI3のマイナス側入力端子に入力される電位は、そのプラス側入力端子に入力される基準電位VrefLよりも低くなるため、差動アンプDI3の出力信号も、“H”となる。

【0650】従って、NAND回路ND5の出力信号は、“L”、即ち、センスアンプSAの出力信号は、“0”となる（“L”＝“0”）。つまり、選択されたTMR素子のデータが“0”であると判断される。

【0651】また、例えば、選択されたTMR素子のデータが“1”、試行データが“1”のときには、2回目の読み出し動作で読み出された比較データ、即ち、ノードn2の電位と、1回目の読み出し動作で読み出されたイニシャルデータ、即ち、ノードn3の電位とは、実質的に、同じとなる。

【0652】この時、差動アンプDI1は、ノードn2、n3の微小な電位差に基づいて、2つの出力電位を出力する。

【0653】しかし、差動アンプDI2のプラス側入力端子に入力される電位は、そのマイナス側入力端子に入力される基準電位VrefHよりも高くなることはないため、差動アンプDI2の出力信号は、“L”となる。また、差動アンプDI3のマイナス側入力端子に入力される電位は、そのプラス側入力端子に入力される基準電位VrefLよりも低くなることはないため、差動アンプDI3の出力信号も、“L”となる。

【0654】従って、NAND回路ND5の出力信号は、“H”、即ち、センスアンプSAの出力信号は、“1”となる（“H”＝“1”）。つまり、選択された

TMR素子のデータが“1”であると判断される。

【0655】図46は、図45のセンスアンプの初段の差動アンプの一例を示している。

【0656】この差動アンプDI1の特徴は、2つの出力端子の間に大きな抵抗値を有する抵抗Rrを接続した点にある。

【0657】このように、差動アンプDI1の2つの出力端子の間に抵抗を接続することにより、選択されたTMR素子のデータと試行データとが同じである場合、即ち、2つの入力電位にほとんど差がないような場合には、差動アンプDI1は、その差を増幅して出力しない。差動アンプDI1は、2つの入力電位に明らかな差がある場合のみに、その差を増幅して出力する。

【0658】図47は、図45のセンスアンプの初段の差動アンプの他の例を示している。

【0659】この差動アンプDI1の特徴は、2つの出力端子の間にデプレッションタイプMOSトランジスタQDを接続した点にある。

【0660】デプレッションタイプMOSトランジスタQDは、図46の抵抗Rrと同じ機能を有する。つまり、選択されたTMR素子のデータと試行データとが同じである場合、即ち、2つの入力電位にほとんど差がないような場合には、差動アンプDI1は、その差を増幅して出力しない。差動アンプDI1は、2つの入力電位に明らかな差がある場合のみに、その差を増幅して出力する。

【0661】② 試行データが“0”の場合

図48は、試行データが“0”の場合のセンスアンプの一例を示している。センスアンプSAは、例えば、3つの差動アンプDI1、DI2、DI3とNOR回路NR3とから構成される。

【0662】初段の差動アンプDI1は、図42乃至図44のノードn2の電位（例えば、比較データ）とノードn3の電位（例えば、イニシャルデータ）とを比較する。差動アンプDI1は、2つの入力電位に基づいて、2つの出力電位を出力する。差動アンプDI1の2つの出力電位の差は、2つの入力電位の差に基づいて決定される。

【0663】差動アンプDI2のマイナス側入力端子には、ノードn2の電位に基づく電位が入力され、そのプラス側入力端子には、基準電位VrefLが入力される。差動アンプDI2は、マイナス側入力端子に入力される電位が基準電位VrefLよりも小さいときは、“H”を出力し、それよりも大きいときは、“L”を出力する。

【0664】差動アンプDI3のプラス側入力端子には、ノードn3の電位に基づく電位が入力され、そのマイナス側入力端子には、基準電位VrefHが入力される。差動アンプDI3は、プラス側入力端子に入力される電位が基準電位VrefHよりも大きいときは、

“H”を出力し、それよりも小さいときは、“L”を出力する。

【0665】例えば、選択されたTMR素子のデータが“1”、試行データが“0”のときには、2回目の読み出し動作で読み出された比較データ、即ち、ノードn2の電位は、1回目の読み出し動作で読み出されたイニシャルデータ、即ち、ノードn3の電位よりも低くなる。

【0666】この時、差動アンプDI2のマイナス側入力端子に入力される電位は、そのプラス側入力端子に入力される基準電位VrefLよりも低くなるため、差動アンプDI2の出力信号は、“L”となる。また、差動アンプDI3のプラス側入力端子に入力される電位は、そのマイナス側入力端子に入力される基準電位VrefHよりも高くなるため、差動アンプDI3の出力信号も、“L”となる。

【0667】従って、NOR回路NR3の出力信号は、“H”、即ち、センスアンプSAの出力信号は、“1”となる（“H”＝“1”）。つまり、選択されたTMR素子のデータが“1”であると判断される。

【0668】また、例えば、選択されたTMR素子のデータが“0”、試行データが“0”のときには、2回目の読み出し動作で読み出された比較データ、即ち、ノードn2の電位と、1回目の読み出し動作で読み出されたイニシャルデータ、即ち、ノードn3の電位とは、実質的に、同じとなる。

【0669】この時、差動アンプDI1は、ノードn2、n3の微小な電位差に基づいて、2つの出力電位を出力する。

【0670】しかし、差動アンプDI2のマイナス側入力端子に入力される電位は、そのプラス側入力端子に入力される基準電位VrefLよりも低くなることはないため、差動アンプDI2の出力信号は、“H”となる。また、差動アンプDI3のプラス側入力端子に入力される電位は、そのマイナス側入力端子に入力される基準電位VrefHよりも高くなることはないため、差動アンプDI3の出力信号も、“H”となる。

【0671】従って、NAND回路ND5の出力信号は、“L”、即ち、センスアンプSAの出力信号は、“0”となる（“L”＝“0”）。つまり、選択されたTMR素子のデータが“0”であると判断される。

【0672】なお、図48のセンスアンプの初段の差動アンプDI1に関しても、図46又は図47に示すような構成を有する差動アンプDI1を用いることができる。

【0673】これにより、選択されたTMR素子のデータと試行データとが同じである場合、即ち、2つの入力電位にほとんど差がないような場合には、センスアンプは、その差を増幅して出力しない。センスアンプは、2つの入力電位に明らかな差がある場合のみに、その差を増幅して出力する。

【0674】(5) オペアンプの具体例

図49は、図42乃至図44のオペアンプOP1の具体例を示している。

【0675】オペアンプOP1のプラス側入力端子には、クランプ電位Vclampが入力され、そのマイナス側入力端子には、ノードn1の電位が入力される。イネーブル信号Enableが“H”になると、ノードn1の電位がクランプ電位Clampに等しくなるような出力信号Outが出力される。

【0676】図50は、図42のオペアンプOP2の具体例を示している。

【0677】オペアンプOP2のプラス側入力端子には、図42のインバータ回路I8の出力信号が入力され、そのマイナス側入力端子には、インバータ回路I7の出力信号が入力される。イネーブル信号Enableが“H”になると、インバータ回路I7の出力信号がインバータ回路I8の出力信号に等しくなるような出力信号Outが出力される。

【0678】(6) 回路例1、2、3の動作

回路例1、2、3に関わる読み出し回路の動作について説明する。回路例1、2、3では、通常の破壊読み出し動作（図14、図15及び図16）及び改良された破壊読み出し動作（図31、図32及び図33）のいずれの読み出し動作も実行することができる。

【0679】① 1回目の読み出し動作

1回目の読み出し動作では、イニシャルデータの読み出しが行われる。

【0680】カラムアドレス信号が入力され、カラム選択スイッチN7（SW）がオン状態になる。また、オペアンプOP1は、ノードn1の電位がクランプ電位Vclampに等しくなるように、NチャネルMOSトランジスタN8のゲート電位を制御する。

【0681】この時、読み出し電流は、電源端子VDDから、トランジスタM7、M8及び複数のTMR素子を經由して、接地点に流れ込む。カレントミラー回路M1は、この読み出し電流に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。

【0682】従って、複数のTMR素子の合成抵抗に応じた電位（イニシャルデータ）がノードn2に表れる。

【0683】また、制御信号READ1Sは、1回目の読み出し動作時においては、“H”となっている。つまり、トランスファゲート回路TG1は、オン状態、トランスファゲート回路TG2は、オフ状態となっている。このため、ノードn2の電位は、トランスファゲート回路TG1を經由して、記憶回路43に入力される。

【0684】図42の例では、オペアンプOP2は、そのマイナス側入力電位とそのプラス側入力電位とが互いに等しくなるように、インバータ回路I8内のNチャネルMOSトランジスタのゲート電位を制御する。結果として、インバータ回路I8に流れる電流が、イニシャル

データ（セルデータ）となる。

【0685】図43の例では、インバータ回路111の出力ノードn3の電位が、イニシャルデータ（セルデータ）となる。図44の例では、キャパシタC1の一端n3の電位が、イニシャルデータ（セルデータ）となる。

【0686】1回目の読み出し動作が終わると、制御信号READ1Sは、“L”となり、制御信号bREAD1Sは、“H”となる。その結果、イニシャルデータは、記憶回路43内にラッチされる。

【0687】② 2回目の読み出し動作及びデータ判定動作

選択されたTMR素子に試行データを書き込んだ後（通常の破壊読み出し動作）又は書き込むと同時に（改良された破壊読み出し動作）、2回目の読み出し動作が行われ、比較データが読み出される。

【0688】カラムアドレス信号が入力され、カラム選択スイッチN7（SW）がオン状態になる。また、オペアンプOP1は、ノードn1の電位がクランプ電位V_{clamp}に等しくなるように、NチャネルMOSトランジスタN8のゲート電位を制御する。

【0689】この時、読み出し電流は、電源端子VDDから、トランジスタM7、M8及び複数のTMR素子を經由して、接地点に流れ込む。カレントミラー回路M1は、この読み出し電流に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。

【0690】従って、複数のTMR素子の合成抵抗に依じた電位（比較データ）がノードn2に表れる。

【0691】この時、センスアンプSAのプラス側入力端子には、ノードn2の電位が入力され、そのマイナス側入力端子には、記憶回路43のノードn3の電位が入力される。その結果、センスアンプSAは、ノードn2の電位とノードn3の電位とに基づいて、選択されたTMR素子のデータの値を判定する。

【0692】なお、センスアンプSAにおけるデータ判定動作は、(4)の「センスアンプの具体例」の項目で説明した通りである。

【0693】(7) 回路例4

図51は、磁気ランダムアクセスメモリの読み出し回路の回路例4を示している。回路例1, 2, 3では、読み出しデータ（イニシャルデータ）を記憶回路にアナログ値として記憶した。これに対し、回路例4では、読み出しデータを記憶回路にデジタル値として記憶する。

【0694】複数のTMR素子は、互いに並列接続され、その一端は、接地点に接続され、その他端は、カラム選択スイッチとしてのNチャネルMOSトランジスタN7（SW）を經由して、ノードn1に接続される。図示するTMR素子のグループは、参考例、改良例1, 2, 5では、1カラム分に相当し、改良例3, 4, 6では、1カラム内の1ブロック分に相当する。

【0695】ノードn1の電位は、クランプ回路により

クランプ電位V_{clamp}に設定される。クランプ回路は、オペアンプOP1とNチャネルMOSトランジスタN8とから構成される。オペアンプOP1としては、例えば、図49に示すオペアンプOP1を使用することができる。

【0696】NチャネルMOSトランジスタN8は、ノードn1とカレントミラー回路M1との間に配置される。オペアンプOP1は、例えば、ノードn1の電位がクランプ電位V_{clamp}に等しくなるように、NチャネルMOSトランジスタN8のゲート電位を制御する。

【0697】カレントミラー回路M1は、複数のTMR素子に流れる読み出し電流の合計値に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。この時のノードn2の電位（イニシャルデータ）は、記憶回路43内のオペアンプOP3のプラス側入力端子に入力される。

【0698】オペアンプOP3としては、例えば、図50に示すオペアンプOP2を使用することができる。

【0699】回路例4では、記憶回路4は、オペアンプOP3、RGB（バンドギャップリファレンス）回路36、オシレータ37、サンプルホールド回路38、カウンタトリガ信号発生回路39、カウンタ／カウンタ駆動回路40、DAC（デジタルアナログコンバータ）41、PチャネルMOSトランジスタP7及びNチャネルMOSトランジスタN10を含んでいる。

【0700】BGR回路36は、温度に依存しない出力信号を出力する。BGR回路36の出力信号は、オシレータ37及びDAC41に供給される。オシレータ37は、BGR回路36の出力信号に基づいて、レベルが周期的に変化する信号OSCを生成する。

【0701】オペアンプOP3の出力信号は、サンプルホールド回路38に入力される。サンプルホールド回路38は、オペアンプOP3の出力信号をサンプリング結果として保持し、かつ、レベルが周期的に変化する信号OSCに基づいて、そのサンプリング結果をカウンタトリガ信号発生回路39に周期的に出力する。

【0702】カウンタトリガ信号発生回路39は、レベルが周期的に変化する信号OSC及びサンプリング結果に基づいて、カウンタトリガ信号を出力する。カウンタ／カウンタ駆動回路40は、カウンタトリガ信号に基づいて、その出力信号であるカウント値を変化させる。

【0703】DAC（デジタルアナログコンバータ）41は、カウンタ／カウンタ駆動回路40のカウント値を、デジタル信号からアナログ信号に変換する。DAC41の出力信号は、PチャネルMOSトランジスタP7のゲートに入力される。

【0704】PチャネルMOSトランジスタP7とNチャネルMOSトランジスタN10は、電源端子VDDと接地点VSSの間に直列に接続される。

【0705】NチャネルMOSトランジスタN10のゲ

ートとドレインは、互いに接続される。PチャネルMOSトランジスタP7及びNチャネルMOSトランジスタN10のドレインは、オペアンプOP3のマイナス側入力端子及びセンスアンプSAのマイナス側入力端子にそれぞれ接続される。

【0706】センスアンプSAは、ノードn2の電位とノードn3（オペアンプOP3のマイナス側入力端子）n3の電位とを比較し、選択されたTMR素子のデータを判定する。

【0707】回路例4では、例えば、破壊読み出し動作における1回目の読み出し動作で得られるイニシャルデータを、記憶回路43内にデジタル値として記憶する。

【0708】具体的には、記憶回路43は、MOSトランジスタP7、N10に流れる電流の値を、MOSトランジスタP8、N9に流れる電流の値に等しくする動作を行う。つまり、記憶回路43は、ノードn3の電位がノードn2の電位に等しくなるように、PチャネルMOSトランジスタP7のゲート電位（DAC41の出力値）を調整する。

【0709】ここで、PチャネルMOSトランジスタP7、P8のサイズ（駆動力）は、互いに同じであり、NチャネルMOSトランジスタN9、N10のサイズ（駆動力）は、互いに同じである。

【0710】回路例4では、オペアンプOP3の出力信号、即ち、ノードn2の電位とノードn3の電位との差（アナログ値）を、カウンタのカウント値（デジタル値）として記憶するため、読み出し電流（イニシャルデータ）を正確に記憶することは難しい。

【0711】しかし、このような場合でも、カウンタの1カウント当たりの電流変化量（MOSトランジスタP7、N10に流れる電流の変化量）を、TMR素子のMR比に基づく読み出し電流の変化量よりも十分に小さくしておけば、全く問題なく、読み出し動作を行うことができる。

【0712】(8) BGR回路の具体例

図52は、BGR回路の一例を示している。BGR回路36は、よく知られた回路である。本例では、BGR回路36を用いて、DACのための出力電流I_{bgr}とオシレータのための出力電流I_{bgr}をそれぞれ生成する。

【0713】(9) オシレータの具体例

図53は、オシレータの一例を示している。オシレータ37は、BGR回路の出力電流I_{bgr}を受け、レベルが周期的に変化する信号OSCを生成する。オシレータ37にBGR回路の出力信号を与えることにより、温度や電源電圧に依存しない、レベルが周期的に変化する信号を生成することができる。

【0714】これにより、サンプリング時間を常に一定とすることができる。

【0715】(10) サンプルホールド回路の具体例

図54は、サンプルホールド回路の一例を示している。サンプルホールド回路38は、オペアンプOP3の出力信号をサンプリング結果として保持し、かつ、レベルが周期的に変化する信号OSCに基づいて、そのサンプリング結果DOWNをカウンタトリガ信号発生回路39に出力する。

【0716】(11) カウンタトリガ信号発生回路の具体例

図55は、カウンタトリガ信号発生回路の一例を示している。カウンタトリガ信号発生回路39は、サンプリング結果DOWN及びレベルが周期的に変化する信号OSCに基づいて、カウンタトリガ信号D_n、U_pを出力する。

【0717】(12) カウンタ駆動回路の具体例

図56乃至図63は、カウンタ駆動回路の一例を示している。カウンタ駆動回路は、カウンタトリガ信号D_n、U_pに基づいて、カウンタを駆動するための制御信号TP0、bTP0、TP1、bTP1、・・・TP7、bTP7を生成する。

【0718】(13) カウンタの具体例

図64及び図65は、カウンタの一例を示している。カウンタ40は、制御信号TP0、bTP0、TP1、bTP1、・・・TP7、bTP7に基づいて、そのカウント値C<0>、C<1>、・・・C<7>を変える。

【0719】(14) DACの具体例

図66は、DACの一例を示している。DAC41には、BGR回路の出力信号I_{bgr}及びカウンタの出力信号（カウント値）C<0>、C<1>、・・・C<7>が入力される。DAC41は、カウンタのカウント値を、デジタル信号からアナログ信号に変換する。

【0720】(15) 回路例4の動作

回路例4に関わる読み出し回路の動作は、改良された破壊読み出し動作原理に関わる点、及び、1回目の読み出し動作で得られるイニシャルデータをデジタル値として記憶回路に記憶する点を除いて、回路例1、2、3に関わる読み出し回路の動作と同じである。

【0721】① 1回目の読み出し動作

1回目の読み出し動作では、イニシャルデータが読み出される。

【0722】カラムアドレス信号が入力され、カラム選択スイッチN7（SW）がオン状態になる。また、オペアンプOP1は、ノードn1の電位がクランプ電位V_{clamp}に等しくなるように、NチャネルMOSトランジスタN8のゲート電位を制御する。

【0723】この時、読み出し電流は、電源端子VDDから、トランジスタM7、M8及び複数のTMR素子を經由して、接地点に流れ込む。カレントミラー回路M1は、この読み出し電流に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。

【0724】従って、複数のTMR素子の合成抵抗に

じた電位（イニシャルデータ）がノードn2に表れる。

【0725】ノードn2の電位は、記憶回路43内のオペアンプOP3のプラス側入力端子に輸入される。ノードn2の電位は、カウンタ40のカウント値として記憶回路43に記憶される。カウンタ40のカウント値に基づいて、MOSトランジスタP7、N10に電流が流れるため、結果として、ノードn3の電位がノードn2の電位に等しくなる。

【0726】② 2回目の読み出し動作及びデータ判定動作

選択されたTMR素子に試行データを書き込むと同時に、2回目の読み出し動作が行われ、比較データが読み出される。

【0727】この時、読み出し電流は、電源端子VDDから、トランジスタM7、M8及び複数のTMR素子を経由して、接地点に流れ込む。カレントミラー回路M1は、この読み出し電流に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。

【0728】従って、複数のTMR素子の合成抵抗に応じた電位（比較データ）がノードn2に表れる。

【0729】この時、センスアンプSAのプラス側入力端子には、ノードn2の電位が輸入され、そのマイナス側入力端子には、記憶回路43のノードn3の電位が輸入される。その結果、センスアンプSAは、ノードn2の電位とノードn3の電位とに基づいて、選択されたTMR素子のデータの値を判定する。

【0730】なお、センスアンプSAにおけるデータ判定動作は、(4)の「センスアンプの具体例」の項目で説明した通りである。

【0731】(16) 回路例5

図67は、磁気ランダムアクセスメモリの読み出し回路の回路例5を示している。回路例5では、回路例1、2、3、4が有するような記憶回路を有していない。即ち、回路例5では、単に、電流経路にインダクタンス素子を接続し、センスアンプSAにより、インダクタンス素子の両端の電位差を検出する。回路例5は、回路例1、2、3、4に比べ、非常にシンプルとなる。

【0732】複数のTMR素子は、互いに並列接続され、その一端は、接地点に接続され、その他端は、カラム選択スイッチとしてのNチャネルMOSトランジスタN7（SW）を経由して、ノードn1に接続される。図示するTMR素子のグループは、参考例、改良例1、2、5では、1カラム分に相当し、改良例3、4、6では、1カラム内の1ブロック分に相当する。

【0733】ノードn1の電位は、クランプ回路によりクランプ電位Vclampに設定される。クランプ回路は、オペアンプOP1とNチャネルMOSトランジスタN8とから構成される。オペアンプOP1としては、例えば、図49に示すオペアンプOP1を使用することができる。

【0734】NチャネルMOSトランジスタN8は、ノードn1とカレントミラー回路M1との間に配置される。オペアンプOP1は、例えば、ノードn1の電位がクランプ電位Vclampに等しくなるように、NチャネルMOSトランジスタN8のゲート電位を制御する。

【0735】カレントミラー回路M1は、複数のTMR素子に流れる読み出し電流の合計値に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。カレントミラー回路M1とNチャネルMOSトランジスタN9の間には、インダクタンス素子Lが接続される。

【0736】インダクタンス素子Lの一端（ノードn2）は、センスアンプSAのプラス側入力端子に接続され、その他端（ノードn3）は、センスアンプSAのマイナス側入力端子に接続される。

【0737】 $V = IR + L \cdot di/dt$ （Vは、電源電位、Iは、電流値、Rは、MOSトランジスタのオン抵抗、Lは、インダクタンス）なる関係があるため、十分に時間が経過し、インダクタンス素子Lに流れる電流が一定になると、ノードn2の電位とノードn3の電位は、等しくなる。

【0738】図68及び図69は、インダクタンス素子の一例を示している。インダクタンス素子は、例えば、LSIの配線加工技術を用いて形成することができる。この場合、インダクタンス素子は、LSIチップ内に形成できる。つまり、磁気ランダムアクセスメモリのチップ内に、読み出し回路のためのインダクタンス素子を形成できる。

【0739】(17) 回路例5の動作

回路例5に関わる読み出し回路の動作は、改良された破壊読み出し動作原理に関わり、1回目の読み出し動作で得られるイニシャルデータを記憶回路に記憶する動作が存在しない点に特徴を有する。

【0740】① 1回目の読み出し動作

1回目の読み出し動作では、イニシャルデータが読み出される。

【0741】カラムアドレス信号が輸入され、カラム選択スイッチN7（SW）がオン状態になる。また、オペアンプOP1は、ノードn1の電位がクランプ電位Vclampに等しくなるように、NチャネルMOSトランジスタN8のゲート電位を制御する。

【0742】この時、読み出し電流は、電源端子VDDから、トランジスタM7、M8及び複数のTMR素子を経由して、接地点に流れ込む。カレントミラー回路M1は、この読み出し電流に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。

【0743】従って、時間が十分に経過し、インダクタンス素子Lに流れる電流が一定になると、複数のTMR素子の合成抵抗に応じた電位（イニシャルデータ）がノードn2に表れる。

【0744】② 2回目の読み出し動作及びデータ判定

動作

選択されたTMR素子に試行データを書き込むと同時に、2回目の読み出し動作が行われ、比較データが読み出される。

【0745】この時、読み出し電流は、電源端子VDDから、トランジスタM7、M8及び複数のTMR素子を経由して、接地点に流れ込む。カレントミラー回路M1は、この読み出し電流に等しい電流を、NチャネルMOSトランジスタN9に流す役割を果たす。

【0746】従って、複数のTMR素子の合成抵抗が変化しない場合（選択されたTMR素子のデータと試行データが同じ場合）には、電流値の変化がないため、ノードn2の電位とノードn3の電位は、等しいままとなる。

【0747】また、複数のTMR素子の合成抵抗が変化する場合（選択されたTMR素子のデータと試行データが異なる場合）には、電流値の変化が生じるため、インダクタンス成分により、ノードn3の電位は、ノードn2の電位からずれることになる。

【0748】このノードn2、n3の電位の変化をセンスアンプSAにより検出すれば、選択されたTMR素子のデータの値を判定することができる。

【0749】(18) その他の回路例

① 回路例6

図70は、磁気ランダムアクセスメモリの読み出し回路の回路例6を示している。回路例6は、回路例1（図42）の改良例である。

【0750】回路例6は、回路例1と比べると、付加電流生成部42を有している点が異なり、その他の点においては、回路例1と同じになっている。

【0751】1カラム内又は1ブロック内の並列接続されるTMR素子の数が多くなると、読み出し電流の値に対する信号電流の値が非常に小さくなり、センスアンプによりこの微小な信号電流を検出することが困難となる。

【0752】そこで、本例では、付加電流生成部42を新規に設ける。

【0753】付加電流生成部42は、電流源Isを有する。この電流源Isにより発生した定電流は、カレントミラー回路M2により、TMR素子に供給される。

【0754】つまり、回路例6では、1カラム内又は1ブロック内の並列接続されるTMR素子に流れるセル電流をIcellとすると、カレントミラー回路M1に流れる電流、即ち、NチャネルMOSトランジスタN9に流れる電流Isenseは、 $I_{sense} = I_{cell} - I_s$ となる。

【0755】これにより、読み出し電流の値に対する信号電流の値を大きくすることができるため、センスアンプによる信号電流の検出感度を向上できる。

【0756】② 回路例7

図71は、磁気ランダムアクセスメモリの読み出し回路の回路例7を示している。回路例7は、回路例2（図43）の改良例である。

【0757】回路例7は、回路例2と比べると、付加電流生成部42を有している点が異なり、その他の点においては、回路例2と同じになっている。

【0758】付加電流生成部42については、回路例6と同じである。回路例7においても、読み出し電流の値に対する信号電流の値を大きくすることができるため、センスアンプによる信号電流の検出感度を向上できる。

【0759】③ 回路例8

図72は、磁気ランダムアクセスメモリの読み出し回路の回路例8を示している。回路例8は、回路例3（図44）の改良例である。

【0760】回路例8は、回路例3と比べると、付加電流生成部42を有している点が異なり、その他の点においては、回路例3と同じになっている。

【0761】付加電流生成部42については、回路例6と同じである。回路例8においても、読み出し電流の値に対する信号電流の値を大きくすることができるため、センスアンプによる信号電流の検出感度を向上できる。

【0762】④ 付加電流生成部の電流源の具体例

図73は、付加電流生成部の電流源の一例を示している。付加電流生成部42の電流源Isは、例えば、メモリセルアレイ部と同じ構成にすることができる。即ち、電流源Isは、並列接続された複数のTMR素子、クランプ回路及びNチャネルMOSトランジスタから構成できる。

【0763】ここで、電流源Is内のTMR素子の数は、メモリセルアレイの1カラム内又は1ブロック内の並列接続されるTMR素子の数よりも少なくしておくことが好ましい。

【0764】なお、本例では、付加電流生成部42を構成するに当たって、TMR素子を利用したが、例えば、これに代えて、BGR回路などを利用してもよい。

【0765】4. その他

上述の説明では、磁気ランダムアクセスメモリのメモリセルとして、TMR素子を用いることを前提としたが、メモリセルがGMR (Giant Magneto Resistance) 素子である場合にも、本発明、即ち、各種の改良例、読み出し動作原理、周辺回路の具体例などを適用することができる。

【0766】また、TMR素子やGMR素子の構造についても、本発明の適用に当たって、特に、限定されることはない。

【0767】本発明に関わる読み出し動作原理は、参考例や、改良例1～6のように、1カラム又は1ブロック内に並列接続された複数のメモリセル（TMR素子）を配置する磁気ランダムアクセスメモリに適用できる他、

1つのメモリセルに1つの選択トランジスタを対応させ

たいわゆる1セルー1トランジスタ構造の磁気ランダムアクセスメモリにも適用できる。

【0768】この場合、読み出し動作は、参考例や改良例1～6に適用される読み出し動作と実質的に同じとなる。また、効果についても、複数のメモリセルの抵抗値のばらつきによらず、正確に、データを読み出すことができる、という効果を得ることができる。

【0769】

【発明の効果】以上、説明したように、本発明によれば、特に、破壊読み出し動作原理を採用する磁気ランダムアクセスメモリにおいて、書き込みドライバなどの書き込み回路及びセンスアンプなどの読み出し回路を具体化したため、磁気ランダムアクセスメモリの量産化に一步近づけることができた。また、磁気ランダムアクセスメモリのアレイ構造や読み出し動作原理についても、実現性を高めるための改良技術を提案することができた。

【図面の簡単な説明】

【図1】本発明の参考例に関わる磁気ランダムアクセスメモリを示す図。

【図2】本発明の参考例に関わる破壊読み出し動作原理を示す波形図。

【図3】本発明の改良例1に関わる磁気ランダムアクセスメモリを示す図。

【図4】図3のメモリの1カラム分を示す図。

【図5】本発明の改良例2に関わるメモリの1カラム分を示す図。

【図6】書き込みワード線ドライバ／シンカーの一例を示す図。

【図7】カラムデコードの一例を示す図。

【図8】カラムデコードの他の例を示す図。

【図9】読み出しカラムデコードの一例を示す図。

【図10】読み出しカラムデコードの他の例を示す図。

【図11】書き込みカラムデコードの一例を示す図。

【図12】書き込みビット線ドライバ／シンカーの一例を示す図。

【図13】書き込みビット線ドライバ／シンカーの他の例を示す図。

【図14】改良例1、2の破壊読み出し動作原理の一例を示す波形図。

【図15】改良例1、2の破壊読み出し動作原理の他の例を示す波形図。

【図16】改良例1、2の改良された破壊読み出し動作原理の一例を示す波形図。

【図17】本発明の改良例3に関わる磁気ランダムアクセスメモリを示す図。

【図18】図17のメモリの1カラム分を示す図。

【図19】本発明の改良例4に関わるメモリの1カラム分を示す図。

【図20】書き込みワード線ドライバ／シンカーの一例を示す図。

【図21】読み出しワード線ドライバの一例を示す図。

【図22】読み出しワード線ドライバの他の例を示す図。

【図23】カラムデコードの一例を示す図。

【図24】カラムデコードの他の例を示す図。

【図25】読み出しカラムデコードの一例を示す図。

【図26】読み出しカラムデコードの他の例を示す図。

【図27】書き込みカラムデコードの一例を示す図。

【図28】書き込みビット線ドライバ／シンカーの一例を示す図。

【図29】書き込みビット線ドライバ／シンカーの他の例を示す図。

【図30】ロウデコードの一例を示す図。

【図31】改良例3、4の破壊読み出し動作原理の一例を示す波形図。

【図32】改良例3、4の破壊読み出し動作原理の他の例を示す波形図。

【図33】改良例3、4の改良された破壊読み出し動作原理の一例を示す波形図。

【図34】本発明の改良例5に関わる磁気ランダムアクセスメモリを示す図。

【図35】図34のメモリの1カラム分を示す図。

【図36】本発明の改良例6に関わる磁気ランダムアクセスメモリを示す図。

【図37】図36のメモリの1カラム分を示す図。

【図38】読み出しカラムデコードの一例を示す図。

【図39】読み出しカラムデコードの他の例を示す図。

【図40】書き込みカラムデコードの一例を示す図。

【図41】改良例6のデバイス構造の一例を示す図。

【図42】読み出し回路の回路例1を示す図。

【図43】読み出し回路の回路例2を示す図。

【図44】読み出し回路の回路例3を示す図。

【図45】センスアンプの一例を示す図。

【図46】センスアンプ内の差動アンプの一例を示す図。

【図47】センスアンプ内の差動アンプの他の例を示す図。

【図48】センスアンプの他の例を示す図。

【図49】読み出し回路内のオペアンプの一例を示す図。

【図50】読み出し回路内のオペアンプの他の例を示す図。

【図51】読み出し回路の回路例4を示す図。

【図52】BGR回路の一例を示す図。

【図53】オシレータの一例を示す図。

【図54】サンプルホールド回路の一例を示す図。

【図55】カウンタトリガ回路の一例を示す図。

【図56】カウンタ駆動回路の一部分を示す図。

【図57】カウンタ駆動回路の一部分を示す図。

【図58】カウンタ駆動回路の一部分を示す図。

【図59】カウンタ駆動回路の一部分を示す図。
 【図60】カウンタ駆動回路の一部分を示す図。
 【図61】カウンタ駆動回路の一部分を示す図。
 【図62】カウンタ駆動回路の一部分を示す図。
 【図63】カウンタ駆動回路の一部分を示す図。
 【図64】カウンタの一例を示す図。
 【図65】図64のカウンタ内のブロックの一例を示す図。

【図66】DACの一例を示す図。
 【図67】読み出し回路の回路例5を示す図。
 【図68】インダクタンス素子の一例を示す図。
 【図69】インダクタンス素子の一例を示す図。
 【図70】読み出し回路の回路例6を示す図。
 【図71】読み出し回路の回路例7を示す図。
 【図72】読み出し回路の回路例8を示す図。
 【図73】付加電流生成部の一例を示す図。

【符号の説明】

1 1 : メモリセルアレイ、
 1 2 : TMR素子、
 1 3 : ロウデコード&電流源&電流シンカー、
 1 4 : 電流源&電流シンカー、
 1 5, 2 6 : 第1データ転送線、
 1 6, 2 7 : 第2データ転送線、
 1 7 : 電圧源&電流源、
 1 8, 1 9 : 書き込み/読み出し選択スイッチ、
 2 0 : センス抵抗、
 2 1, 3 2 : カラムデコード、
 2 2 : センス回路、
 2 3 : 書き込みワード線ドライバ、
 2 4 : 書き込みワード線シンカー、
 2 5 : ロウデコード、
 2 8 : 共通データ線、
 2 9 : センスアンプ&書き込みビット線ドライバ/シンカー、

10

3 3

3 4

3 5

3 6

3 7

3 8

3 9

4 0

4 1

4 2

4 3

P 1 ~ P 8

N 1 ~ N 1 0

A D 1 ~ A D 1 9

N D 1 ~ N D 5

O R 1 ~ O R 2 1

N R 1 ~ N R 3

I 1 ~ I 1 1

O P 1 ~ O P 3

D I 1 ~ D I 3

30

M 1, M 2

C 1

L

I s

T G 1, T G 2

S A

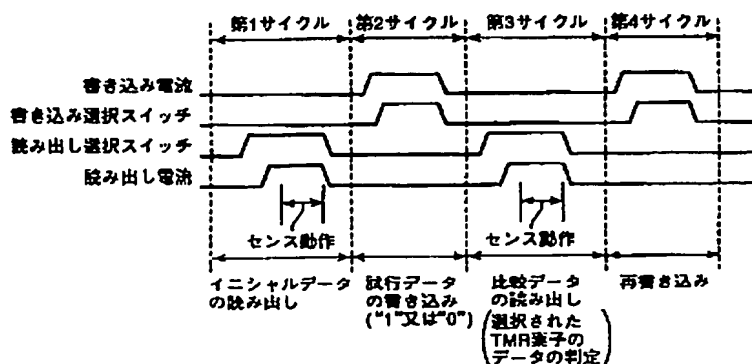
S W, S W A, S W B : カラム選択スイッチ。

: 書き込みビット線ドライバ/シン
 : センスアンプ、
 : 共通ドライバ線、
 : 書き込みビット線ドライバ/シン

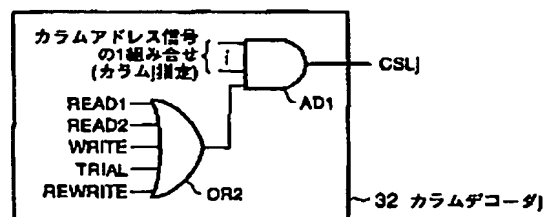
: カラムデコード、
 : 読み出しカラムデコード、
 : 書き込みカラムデコード、
 : 書き込みビット線、
 : 下部配線、
 : ソース線、
 : BGR回路、
 : オシレータ、
 : サンプルホールド回路、
 : カウンタトリガ信号発生回路、
 : カウンタ/カウンタ駆動回路、

: DAC、
 : 付加電流生成部、
 : 記憶回路、
 : PチャネルMOSトランジスタ、
 : NチャネルMOSトランジスタ、
 : AND回路、
 : NAND回路、
 : OR回路、
 : NOR回路、
 : インバータ回路、
 : オペアンプ、
 : 差動アンプ、
 : カレントミラー回路、
 : キャパシタ、
 : インダクタンス素子、
 : 電流源、
 : トランスファゲート回路、
 : センスアンプ、
 : カラム選択スイッチ。

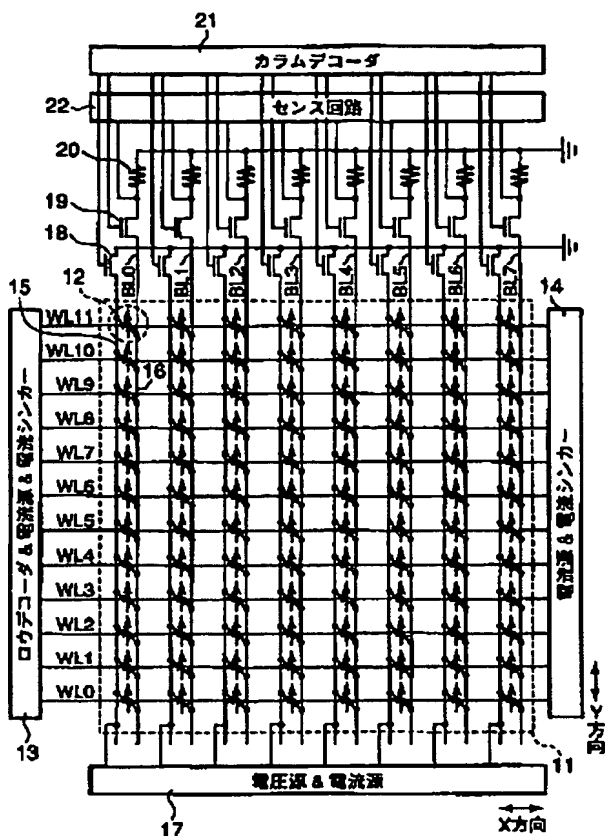
【図2】



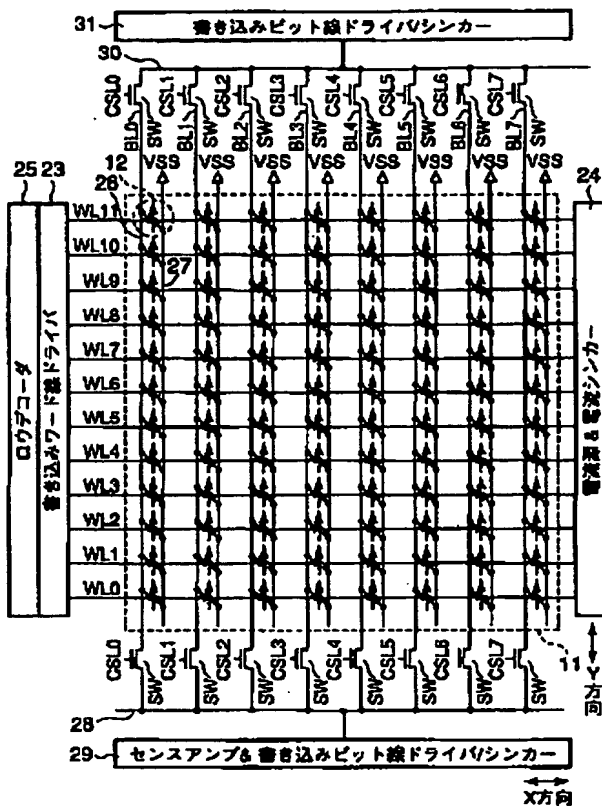
【図7】



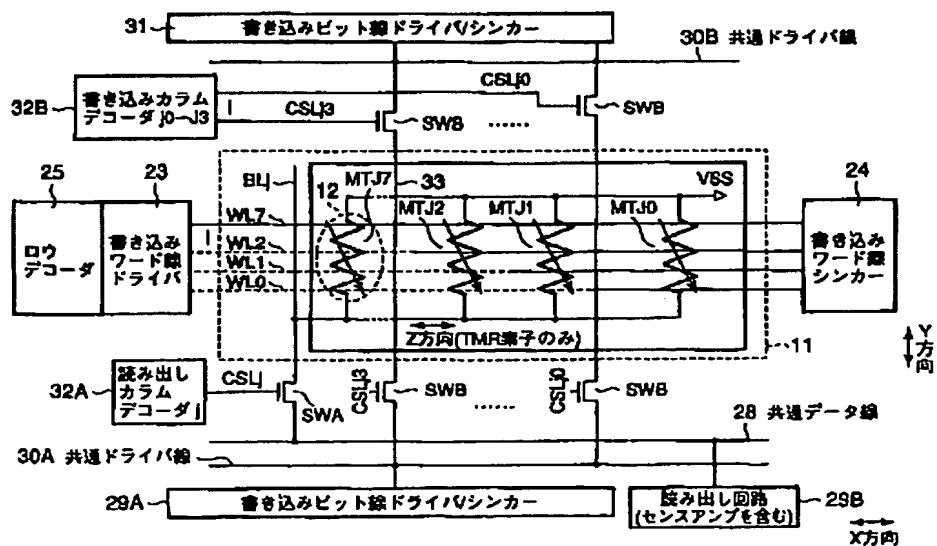
【図1】



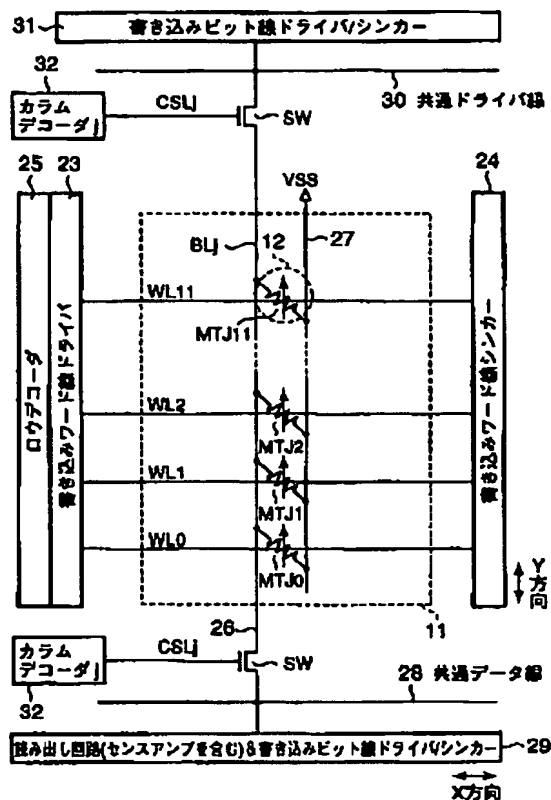
【図3】



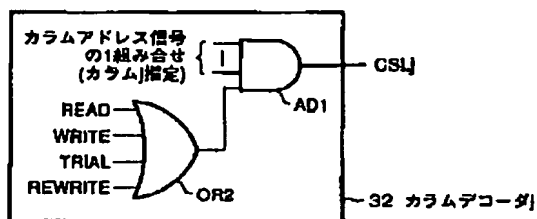
【図5】



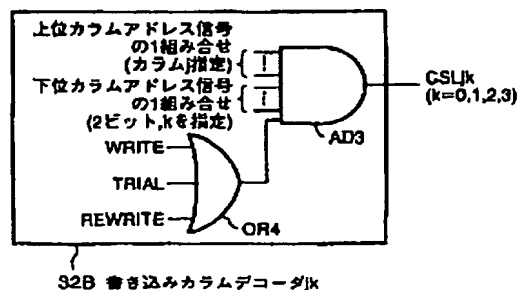
【図4】



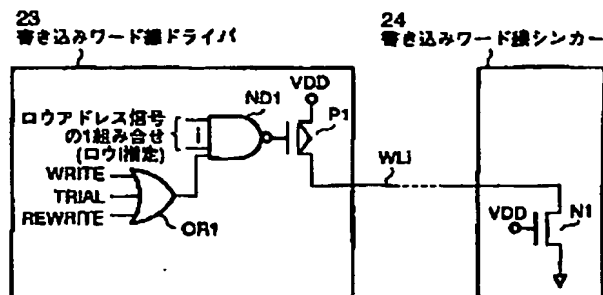
【図8】



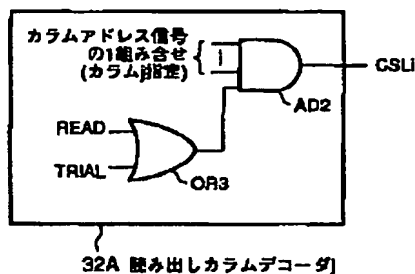
【図11】



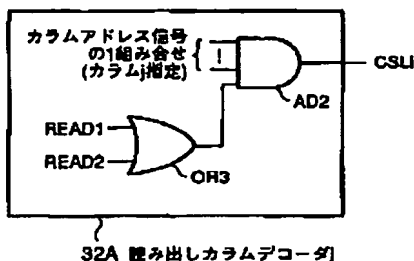
【図6】



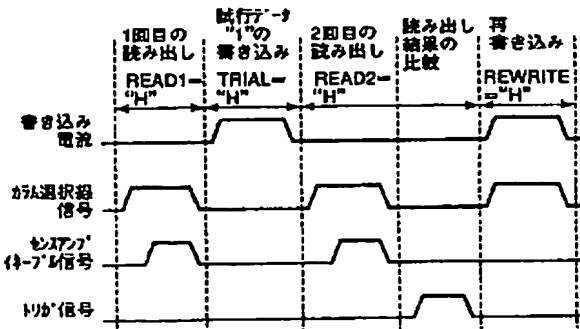
【図10】



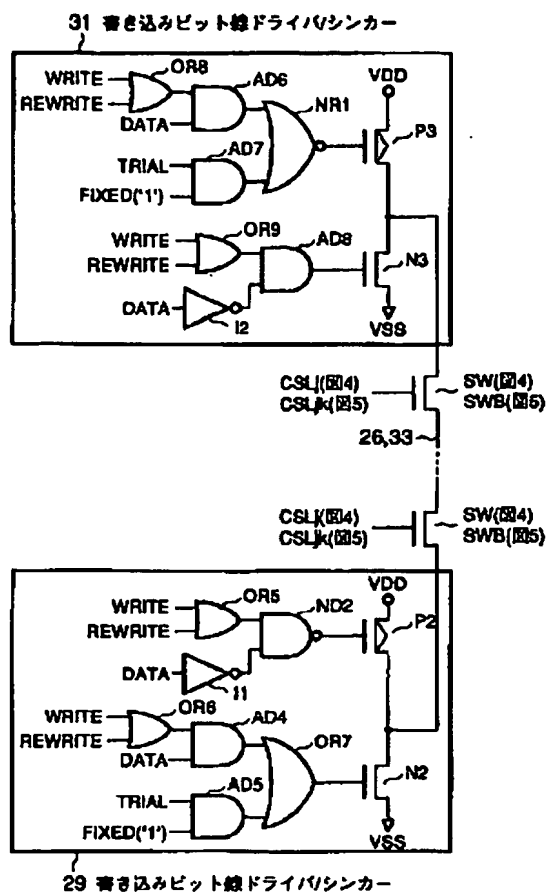
【図9】



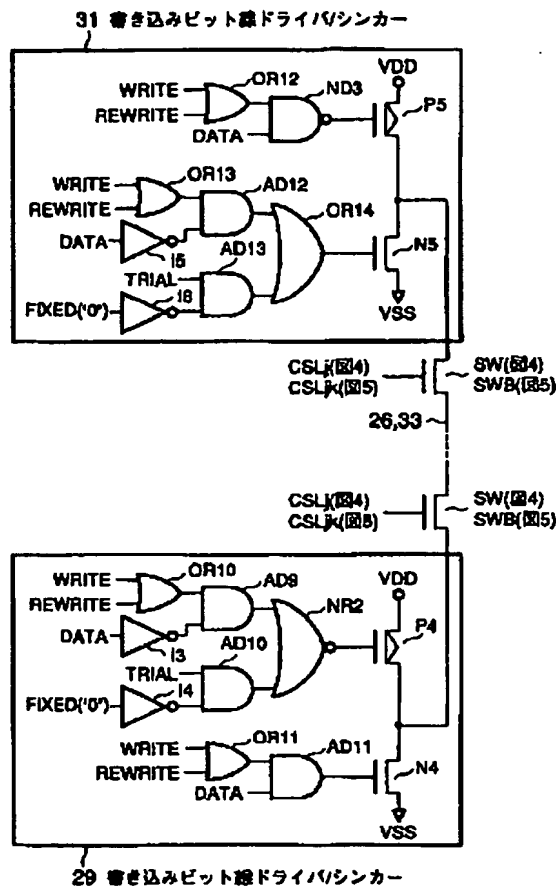
【図14】



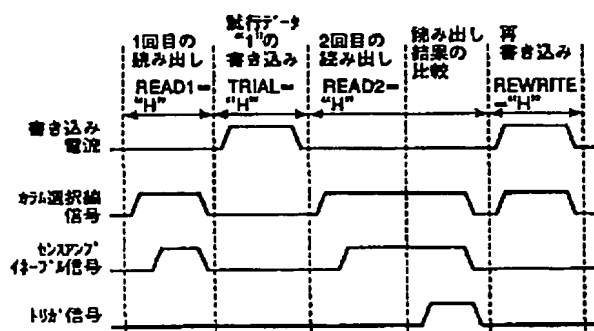
【図12】



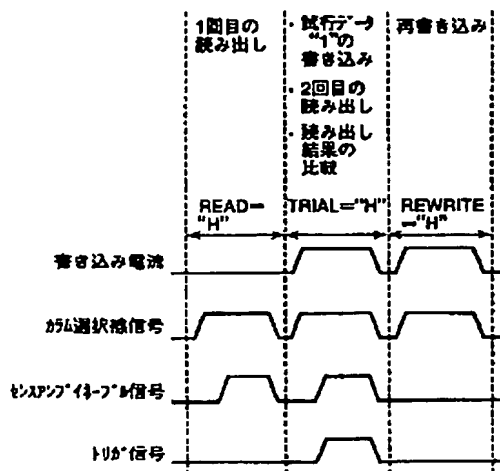
【図13】



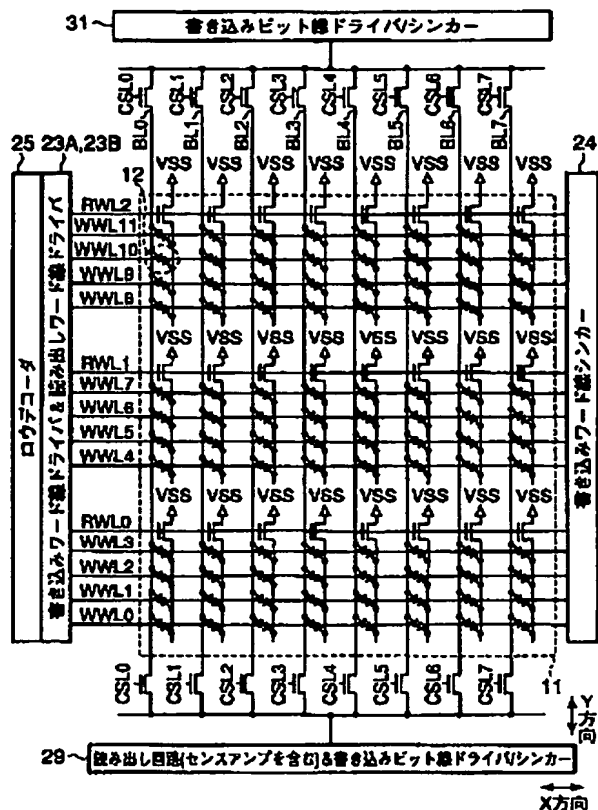
【図15】



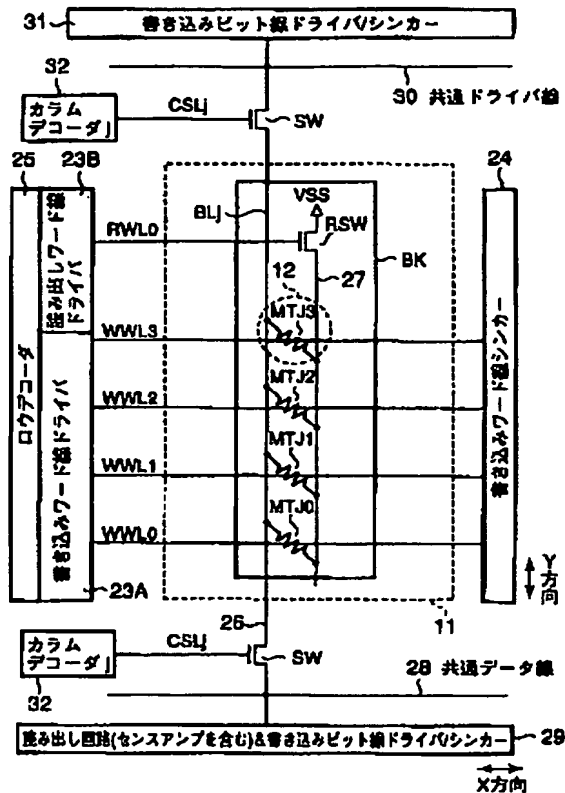
【図16】



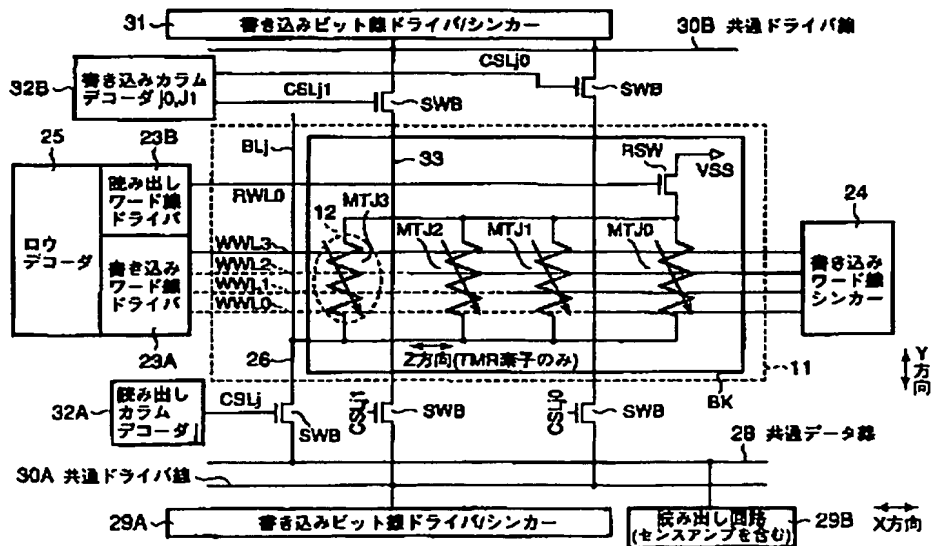
【図17】



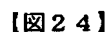
【図18】



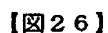
【図19】



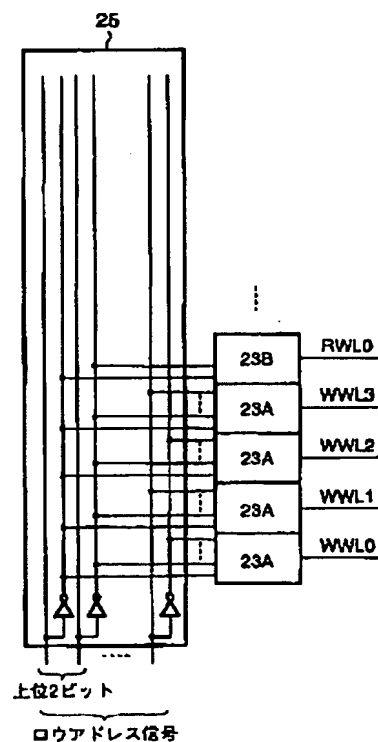
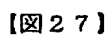
【図 2 1】



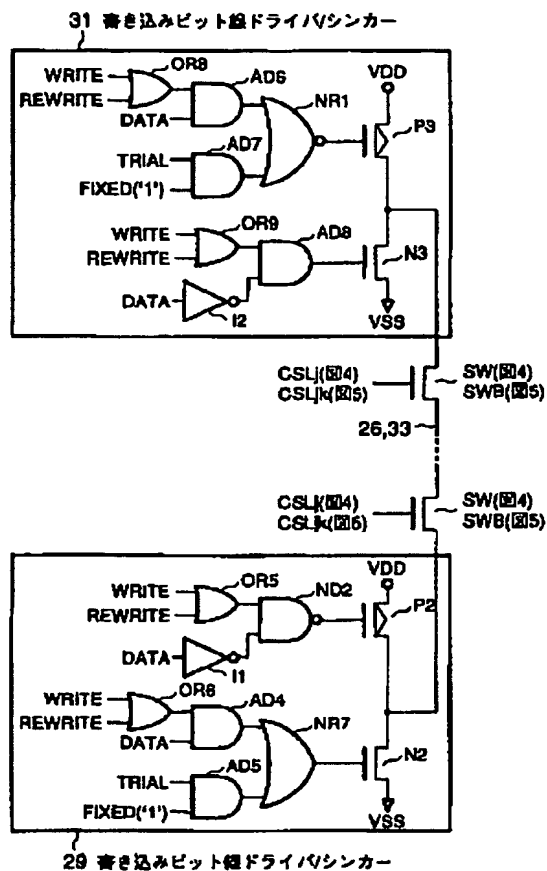
【图 23】



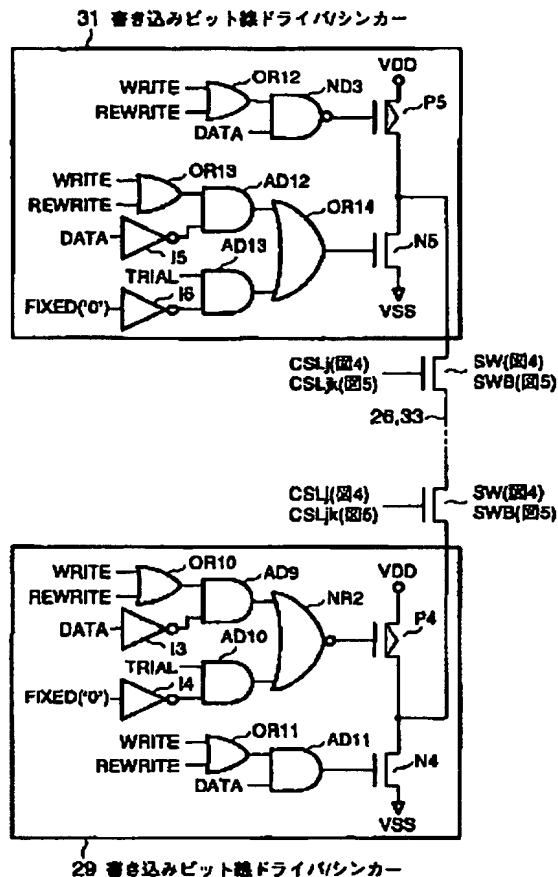
【図 30】



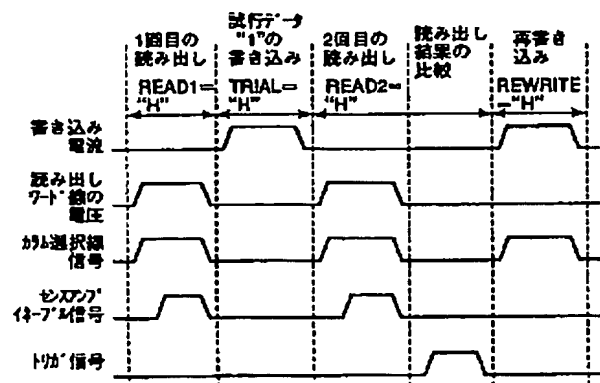
【図28】



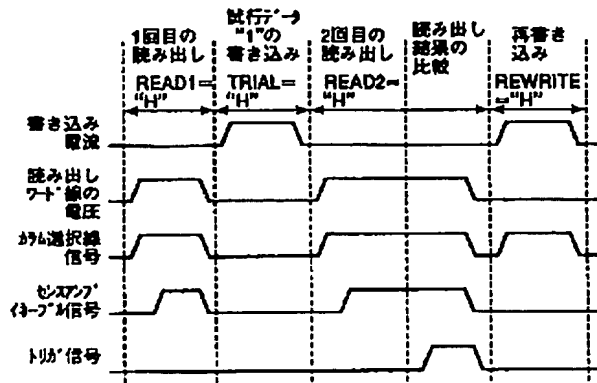
【図29】



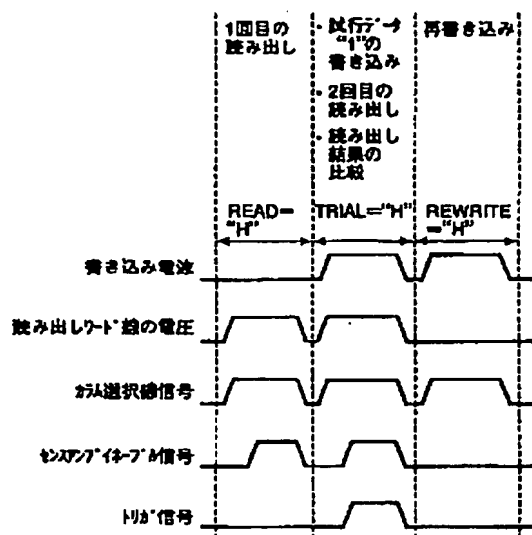
【図31】



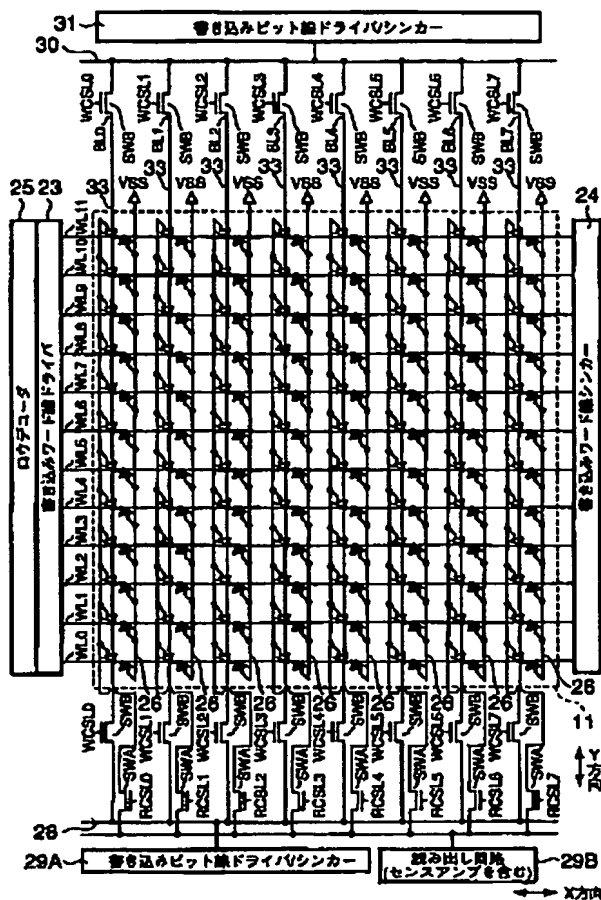
【図32】



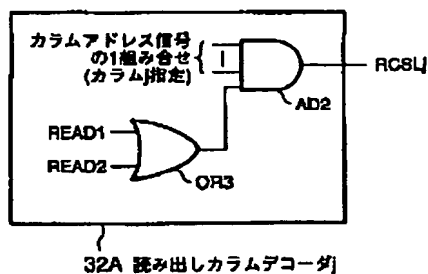
【図33】



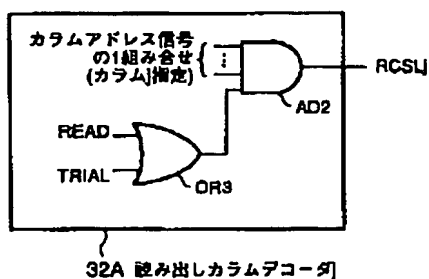
【図34】



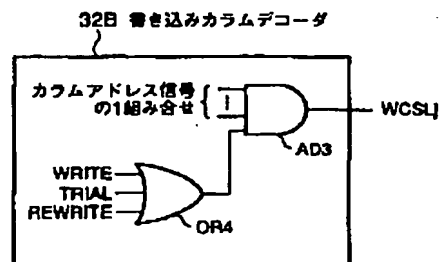
【図38】



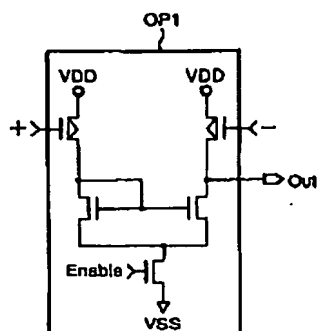
【図39】



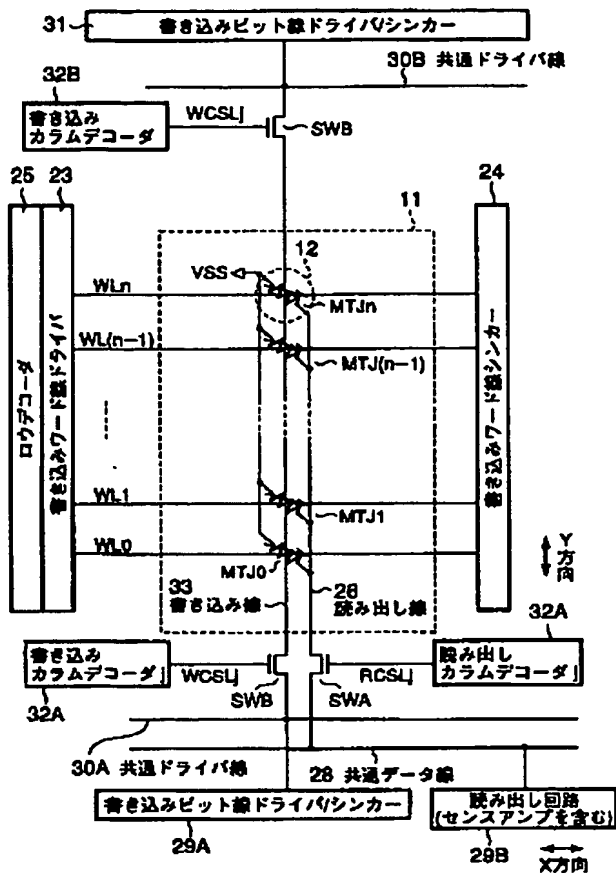
【図40】



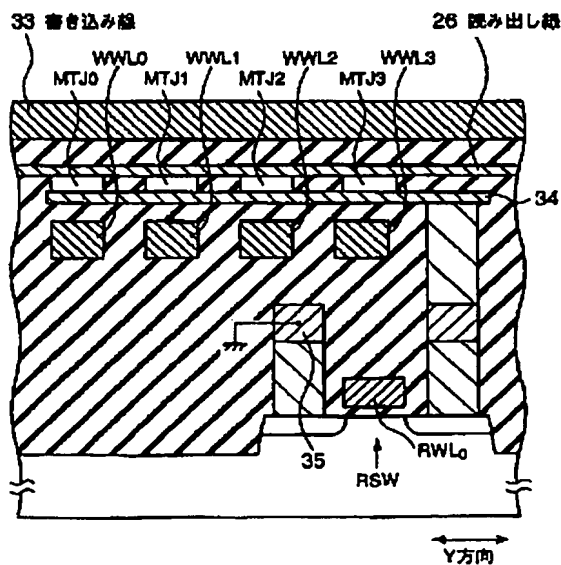
【図49】



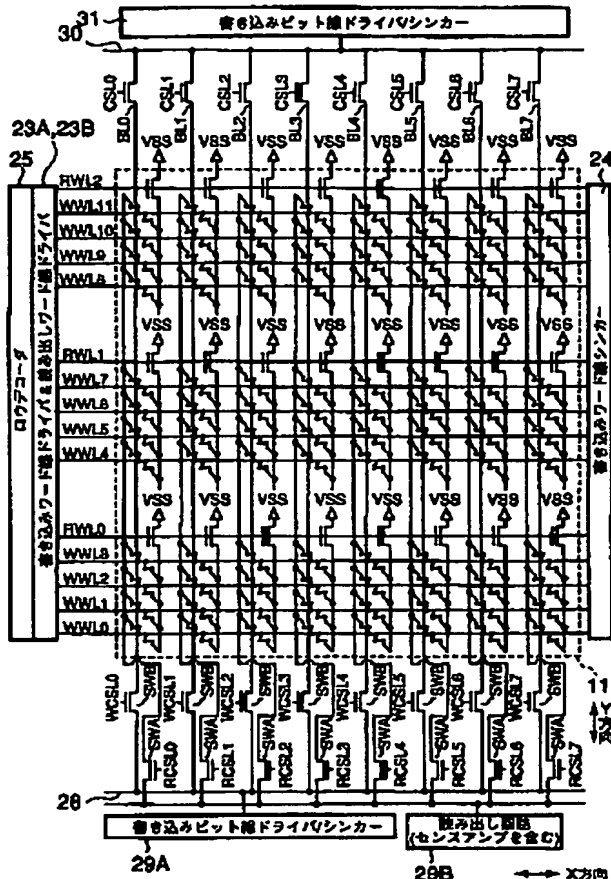
【図35】



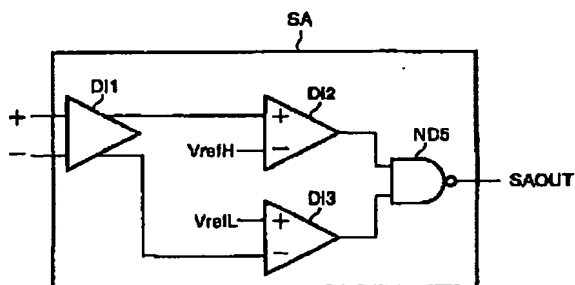
【図41】



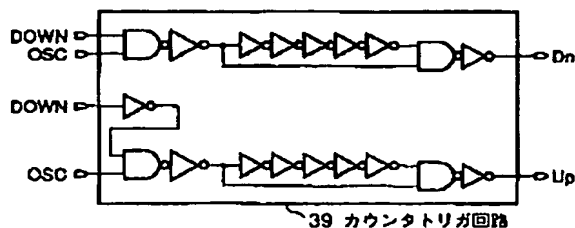
【図36】



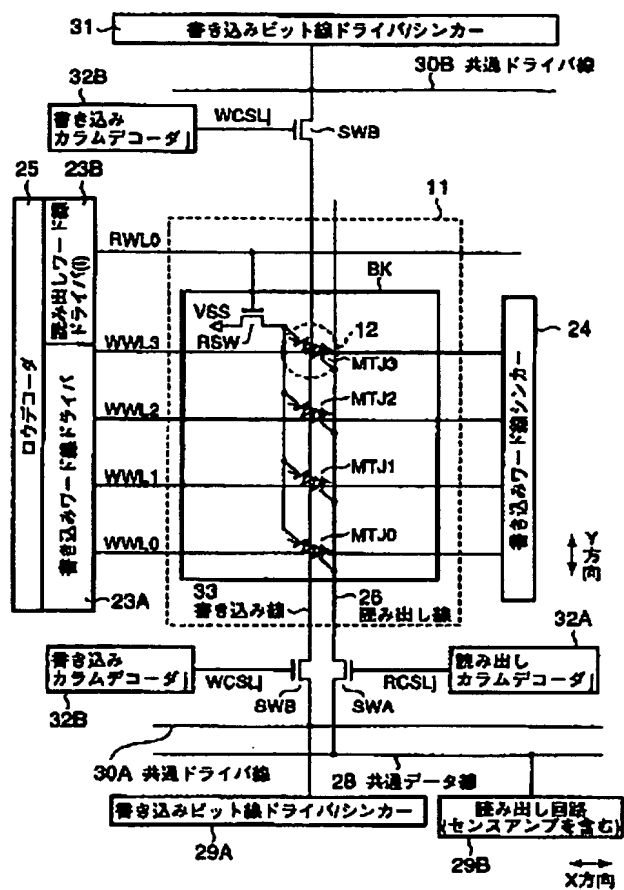
【図45】



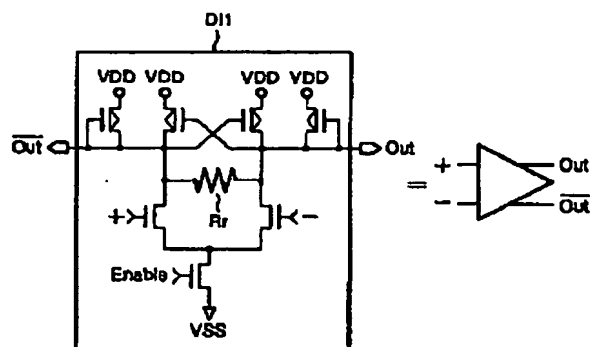
【図55】



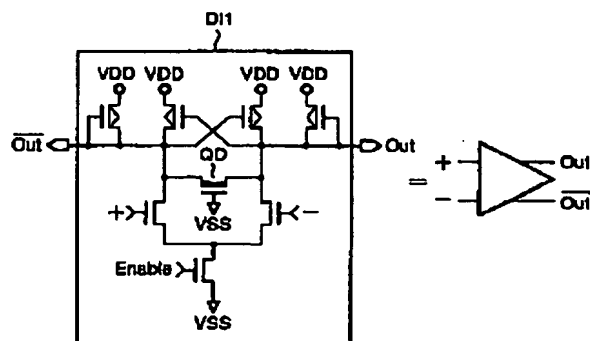
【図37】



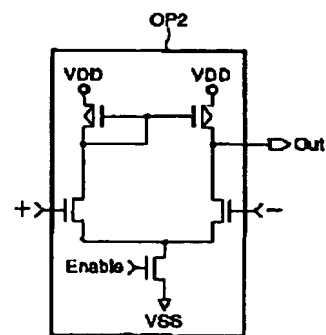
【図46】



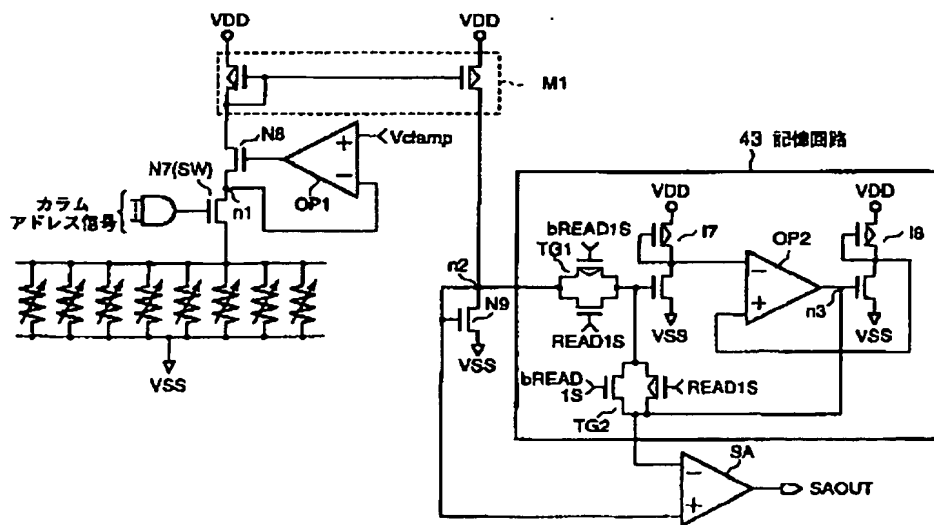
【図47】



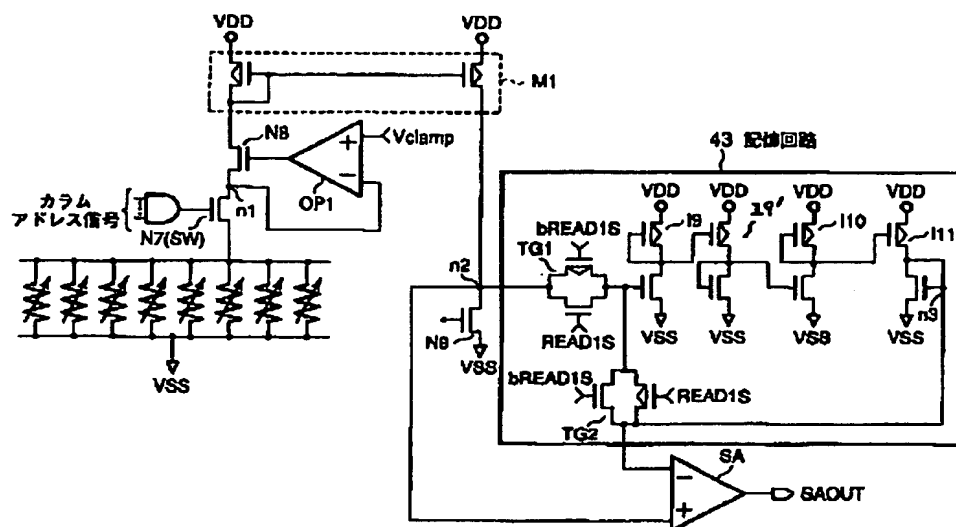
【図50】



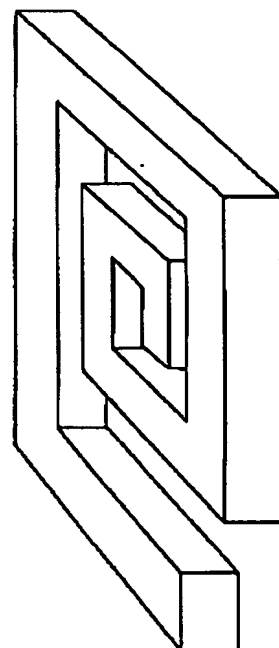
【図42】



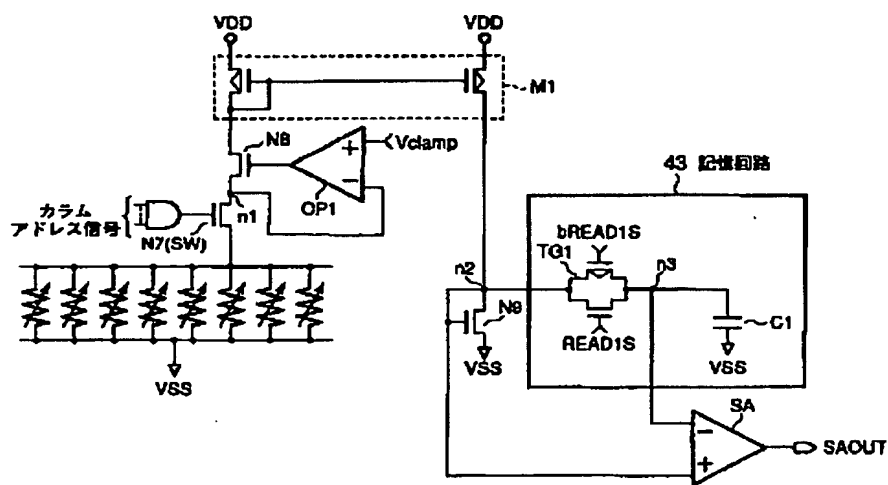
【図43】



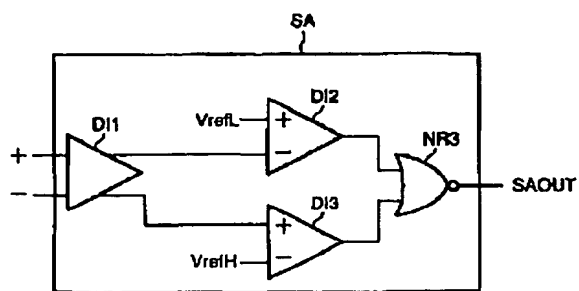
【図68】



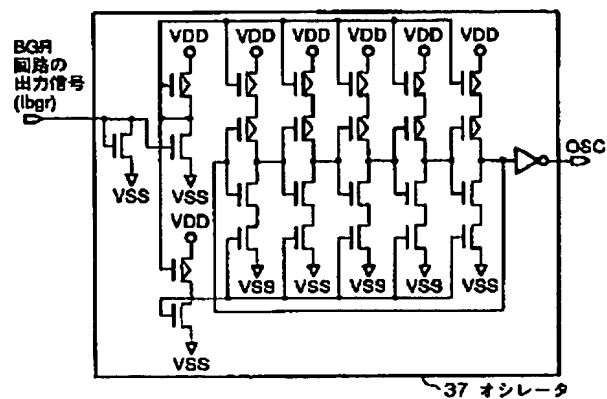
【図44】



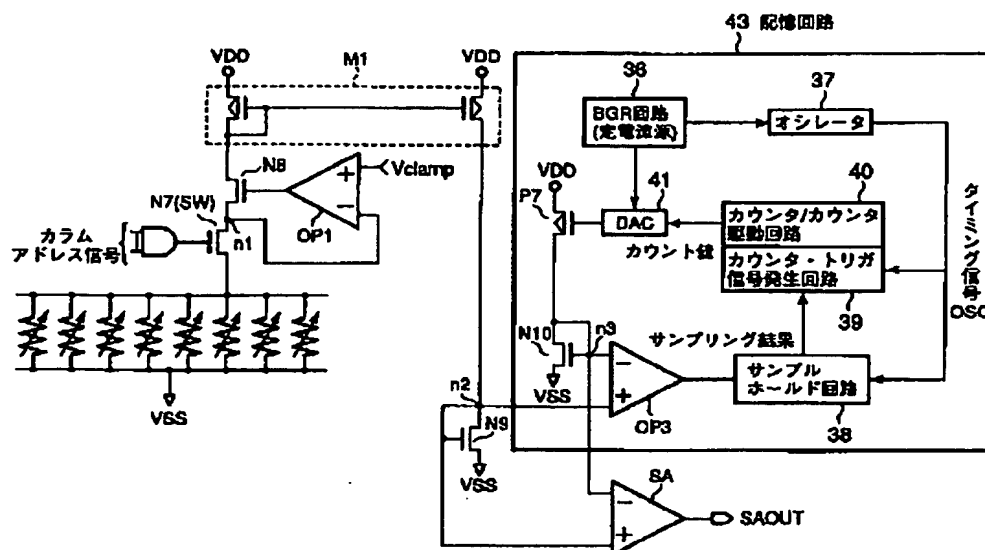
【図48】



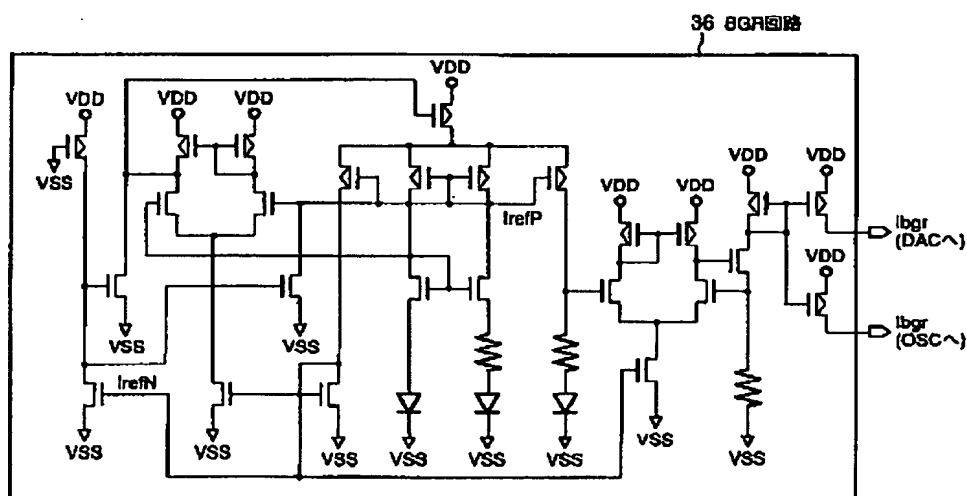
【図53】



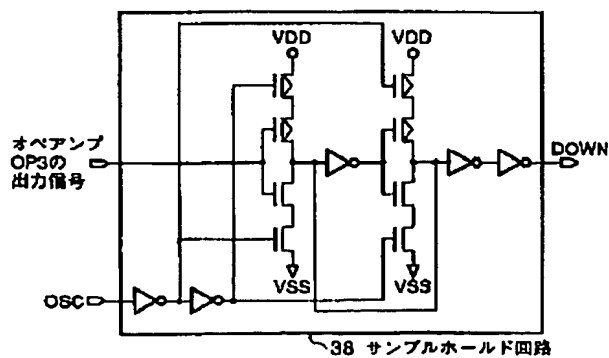
【図51】



【図52】



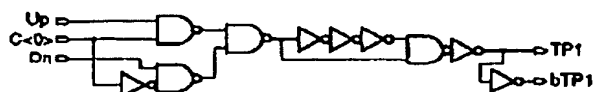
【図54】



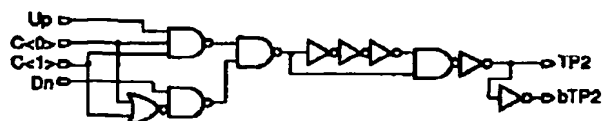
【図56】



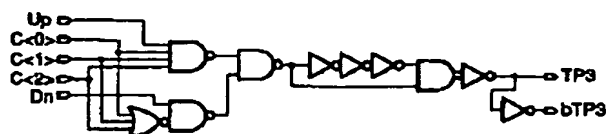
【図57】



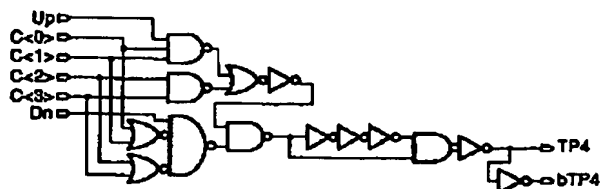
【図58】



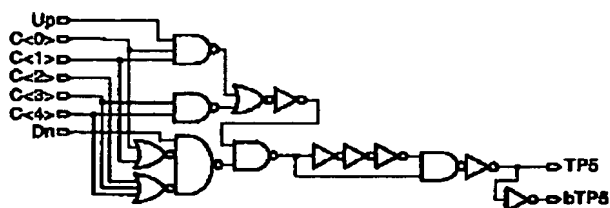
【図59】



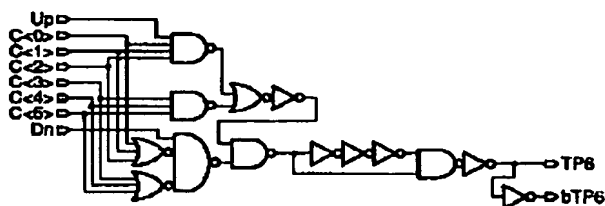
【図60】



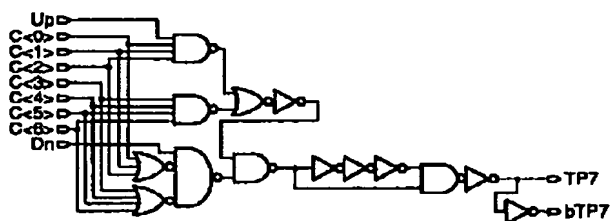
【図61】



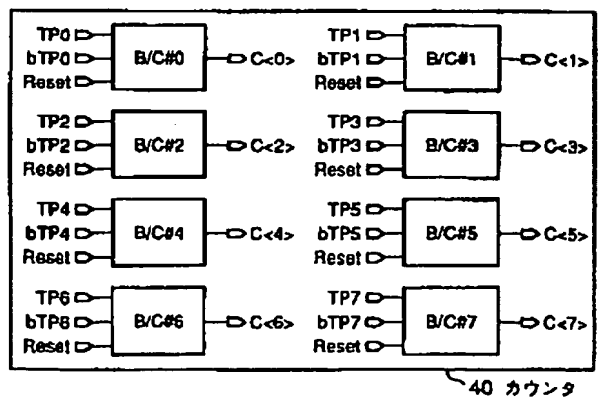
【図62】



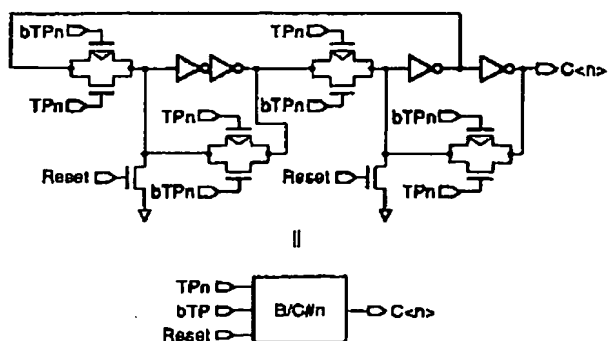
【図63】



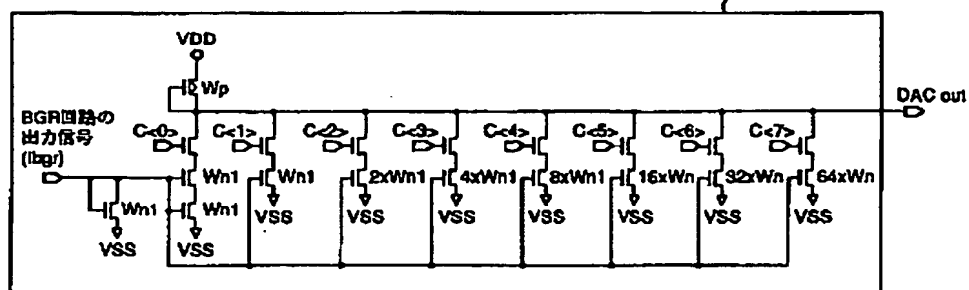
【図64】



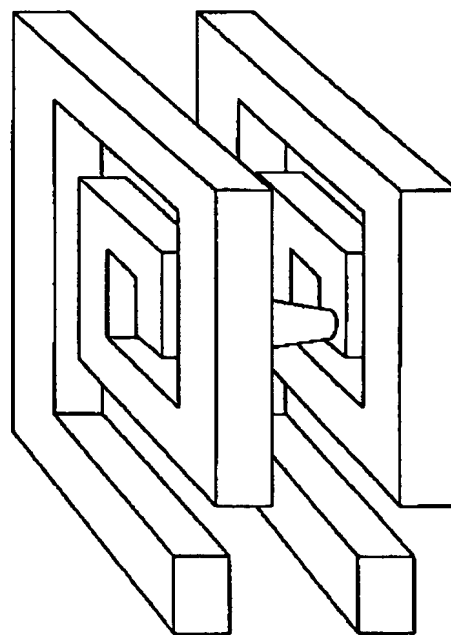
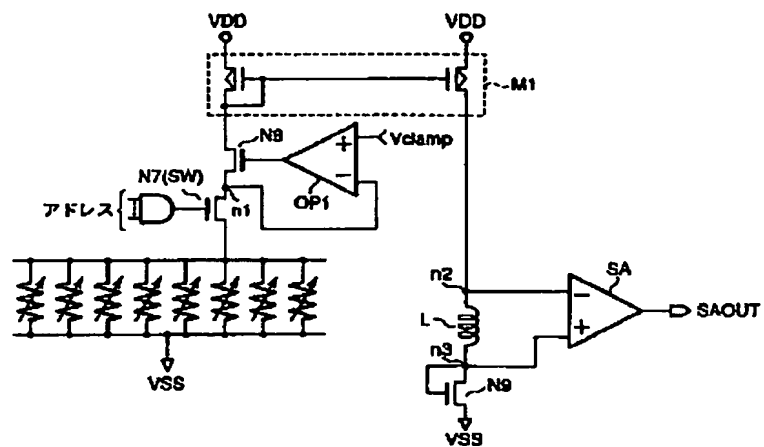
【図65】



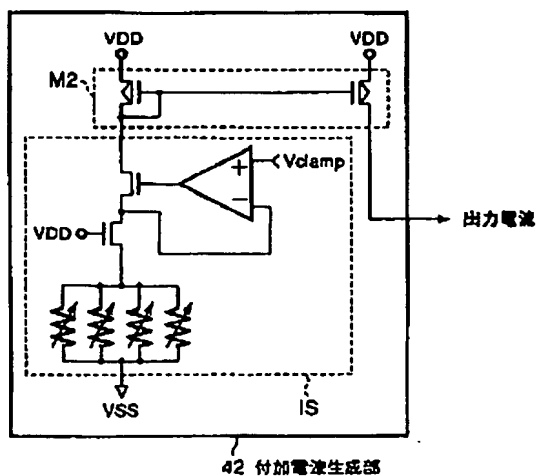
41 DAC



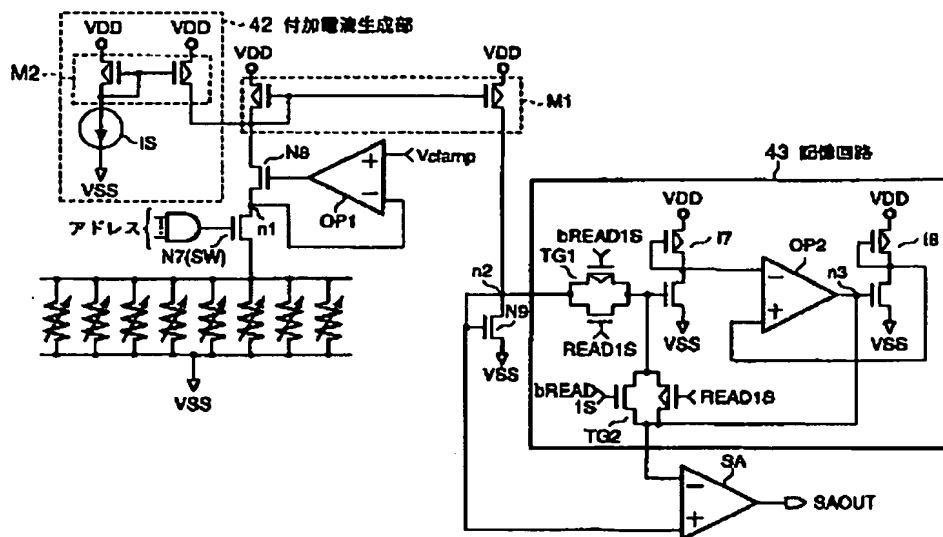
【図 69】



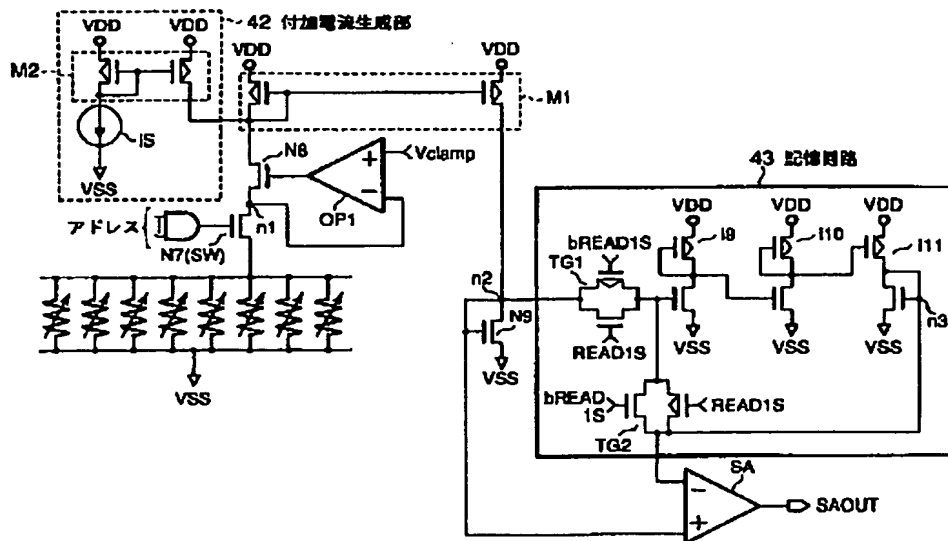
【圖 7 3】

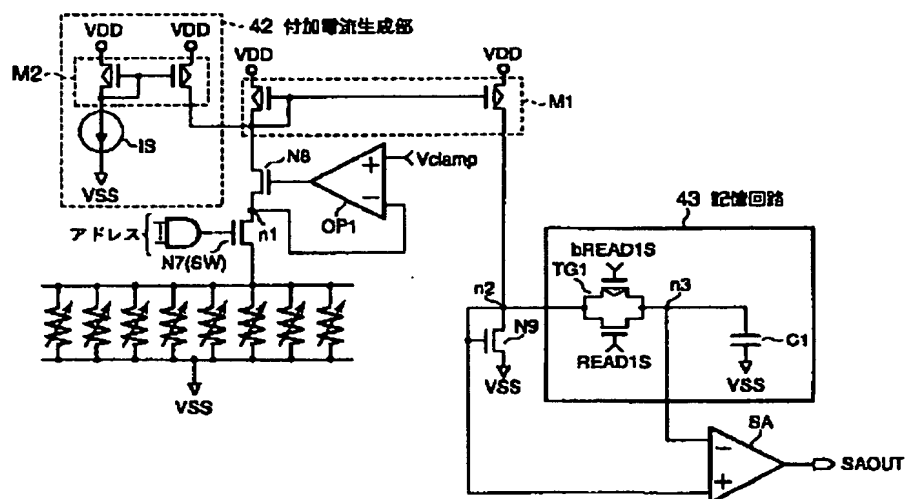


【図70】



【図71】





【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成15年8月15日(2003. 8. 15)

【公開番号】特開2003-151262(P2003-151262A)

【公開日】平成15年5月23日(2003. 5. 23)

【年通号数】公開特許公報15-1513

【出願番号】特願2001-350013(P2001-350013)

【国際特許分類第7版】

G11C 11/15

11/14

H01L 27/105

43/08

【F I】

G11C 11/15

11/14

E

H01L 43/08

Z

27/10

447

【手続補正書】

【提出日】平成15年3月14日(2003. 3. 14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 磁気抵抗効果を利用するメモリセルを有する磁気ランダムアクセスメモリの読み出し方法において、前記メモリセルに第1読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むステップと、前記書き込みデータが書き込まれた前記メモリセルに第2読み出し電流を流すステップと、前記第1及び第2読み出し電流の差を検出して、前記メモリセルのデータを判断するステップとを具備することを特徴とする磁気ランダムアクセスメモリの読み出し方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】 磁気抵抗効果を利用するメモリセルを有する磁気ランダムアクセスメモリの読み出し方法において、前記メモリセルに第1読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むと同時に又はこれに平行して、前記メモリセルに第2読み出し電流を流し、前記第1及び第2読み出し電流の差又は時間に対する変化を検出して、前記メモリセルのデータを判断するステップとを具

備することを特徴とする磁気ランダムアクセスメモリの読み出し方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項21

【補正方法】変更

【補正内容】

【請求項21】 互いに並列接続される磁気抵抗効果を利用する複数のメモリセルと、前記複数のメモリセルの一端に接続され、第1方向に延びるビット線と、前記ビット線に書き込み電流を供給し又は前記ビット線から前記書き込み電流を吸収する第1及び第2書き込みビット線ドライバ/シンカーと、前記ビット線の一端と前記第1書き込みビット線ドライバ/シンカーとの間に接続される第1スイッチと、前記ビット線の他端と前記第2書き込みビット線ドライバ/シンカーとの間に接続される第2スイッチと、前記ビット線に読み出し電流を供給する読み出し回路と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを具備することを特徴とする磁気ランダムアクセスメモリ。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】請求項27

【補正方法】変更

【補正内容】

【請求項27】 互いに並列接続される磁気抵抗効果を利用する複数のメモリセルと、前記複数のメモリセルの近傍に配置され、第1方向に延びる書き込みビット線と、前記書き込みビット線に書き込み電流を供給し又は前記書き込みビット線から前記書き込み電流を吸収する

第1及び第2書き込みビット線ドライバ／シンカーと、前記書き込みビット線の一端と前記第1書き込みビット線ドライバ／シンカーとの間に接続される第1スイッチと、前記書き込みビット線の他端と前記第2書き込みビット線ドライバ／シンカーとの間に接続される第2スイッチと、前記複数のメモリセルの一端に接続され、前記第1方向に延びる読み出しビット線と、前記読み出しビット線に読み出し電流を供給する読み出し回路と、前記読み出しビット線と前記読み出し回路の間に接続される第3スイッチと、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを具備することを特徴とする磁気ランダムアクセスメモリ。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】請求項41

【補正方法】変更

【補正内容】

【請求項41】 磁気抵抗効果を利用するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み出し電流又は前記読み出し電流に比例した電流を記憶する記憶回路と、前記読み出し電流又は前記読み出し電流に比例した電流と前記記憶回路に記憶された電流とに基づいて、前記メモリセルのデータを判断するセンスアンプとを具備することを特徴とする磁気ランダムアクセスメモリ。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】請求項52

【補正方法】変更

【補正内容】

【請求項52】 磁気抵抗効果を利用するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み出し電流又は前記読み出し電流に比例した電流の時間に対する変化を検出するインダクタンス素子と、前記インダクタンス素子の両端の電位に基づいて、前記メモリセルのデータを判断するセンスアンプとを具備することを特徴とする磁気ランダムアクセスメモリ。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、磁気抵抗（Magnet o Resistive）効果を利用する磁気ランダムアクセスメモリ（MRAM：Magnetic Random Access Memory）に関する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】近年、新たな原理によりデータを記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル磁気抵抗（Tunneling Magneto Resistiv e：以後、TMRと表記する。）効果を利用する磁気ランダムアクセスメモリがある。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】

【課題を解決するための手段】(1) 読み出し方法
本発明の磁気ランダムアクセスメモリの読み出し方法は、磁気抵抗効果を利用するメモリセルを有する磁気ランダムアクセスメモリに適用され、前記メモリセルに第1読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むステップと、前記書き込みデータが書き込まれた前記メモリセルに第2読み出し電流を流すステップと、前記第1及び第2読み出し電流の差を検出して、前記メモリセルのデータを判断するステップとを備える。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】本発明の磁気ランダムアクセスメモリの読み出し方法は、磁気抵抗効果を利用するメモリセルを有する磁気ランダムアクセスメモリに適用され、前記メモリセルに第1読み出し電流を流すステップと、前記メモリセルに対して予め決められた値を有する書き込みデータを書き込むと同時に又はこれに平行して、前記メモリセルに第2読み出し電流を流し、前記第1及び第2読み出し電流の差又は時間に対する変化を検出して、前記メモリセルのデータを判断するステップとを備える。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】(2) 磁気ランダムアクセスメモリ

① 本発明の磁気ランダムアクセスメモリは、互いに並列接続される磁気抵抗効果を利用する複数のメモリセル

と、前記複数のメモリセルの一端に接続され、第1方向に延びるビット線と、前記ビット線に書き込み電流を供給し又は前記ビット線から前記書き込み電流を吸収する第1及び第2書き込みビット線ドライバ/シンカーと、前記ビット線の一端と前記第1書き込みビット線ドライバ/シンカーとの間に接続される第1スイッチと、前記ビット線他端と前記第2書き込みビット線ドライバ/シンカーとの間に接続される第2スイッチと、前記ビット線に読み出し電流を供給する読み出し回路と、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを備える。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】② 本発明の磁気ランダムアクセスメモリは、互いに並列接続される磁気抵抗効果を利用する複数のメモリセルと、前記複数のメモリセルの近傍に配置され、第1方向に延びる書き込みビット線と、前記書き込みビット線に書き込み電流を供給し又は前記書き込みビット線から前記書き込み電流を吸収する第1及び第2書き込みビット線ドライバ/シンカーと、前記書き込みビット線の一端と前記第1書き込みビット線ドライバ/シンカーとの間に接続される第1スイッチと、前記書き込みビット線他端と前記第2書き込みビット線ドライバ/シンカーとの間に接続される第2スイッチと、前記複数のメモリセルの一端に接続され、前記第1方向に延びる読み出しビット線と、前記読み出しビット線に読み出し電流を供給する読み出し回路と、前記読み出しビット線と前記読み出し回路の間に接続される第3スイッチと、前記第1方向に直交する第2方向に延びる複数の書き込みワード線とを備える。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】(3) 磁気ランダムアクセスメモリ（読み出し回路）

① 本発明の磁気ランダムアクセスメモリは、磁気抵抗効果を利用するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み出し電流又は前記読み出し電流に比例した電流を記憶する記憶回路と、前記読み出し電流又は前記読み出し電流に比例した電流と前記記憶回路に記憶された電流とに基づいて、前記メモリセルのデータを判断するセンスアンプとを備える。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】② 本発明の磁気ランダムアクセスメモリは、磁気抵抗効果を利用するメモリセルと、前記メモリセルに読み出し電流を供給する電流源と、前記読み出し電流又は前記読み出し電流に比例した電流の時間に対する変化を検出するインダクタンス素子と、前記インダクタンス素子の両端の電位に基づいて、前記メモリセルのデータを判断するセンスアンプとを備える。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】削除

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

【補正内容】

【0083】まず、磁気ランダムアクセスメモリの参考例と、この参考例を改良した改良例について説明する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0636

【補正方法】変更

【補正内容】

【0636】即ち、ノードn2の電位は、2回目の読み出し結果（比較データ）を表し、オペアンプOP2の出力端子n3の電位は、1回目読み出し結果（イニシャルデータ）を表している。